



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

PH DE 030416

REC'D 08 DEC 2004

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

IB/04/52671

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03104685.7

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Anmeldung Nr:
Application no.: 03104685.7
Demande no:

Anmeldetag:
Date of filing: 15.12.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Philips Intellectual Property & Standards
GmbH

20099 Hamburg
ALLEMAGNE
Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Schaltungsanordnung und Verfahren zum Einrasten auf und/oder zum Verarbeiten von
Daten, insbesondere Audio-, T[ele]V[ision]- und/oder Videodaten

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H04N5/04

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

BESCHREIBUNG

Schaltungsanordnung und Verfahren zum Einrasten auf und/oder zum Verarbeiten von Daten, insbesondere Audio-, T[ele]V[ision]- und/oder Videodaten

Die vorliegende Erfindung betrifft eine Schaltungsanordnung mit mindestens einem

5 Phasenregelkreis, aufweisend

- mindestens einen Phasendetektor zum Erfassen von Phaseninformationen mindestens eines analogen Eingangssignals, insbesondere nach Eintreffen mindestens einer ansteigenden Flanke und/oder abfallenden Flanke mindestens eines analogen Eingangssignals,
- 10 - mindestens einen mit dem vom Phasendetektor ausgegebenen Ausgangssignal beaufschlagbaren Schleifenfilter zum Ermitteln mindestens eines Inkrements und
- mindestens einen mit dem vom Schleifenfilter ausgegebenen Inkrement beaufschlagbaren Rampenoszillator.

15

Die vorliegende Erfindung betrifft des weiteren ein Verfahren zum Einrasten auf und/oder zum Verarbeiten von Daten, insbesondere Audio-, T[ele]V[ision]- und/oder Videodaten, mittels mindestens eines Phasenregelkreises, wobei

- Phaseninformationen mittels mindestens eines Phasendetektors erfasst werden, insbesondere nach Eintreffen mindestens einer ansteigenden Flanke und/oder abfallenden Flanke mindestens eines analogen Eingangssignals,
- 20 - mindestens ein Inkrement mittels mindestens eines mit dem vom Phasendetektor ausgegebenen Ausgangssignal beaufschlagten Schleifenfilters ermittelt wird und
- mindestens ein Rampenoszillator mit dem vom Schleifenfilter ausgegebenen Inkrement beaufschlagt wird.

25

Die Strukturen integrierter Schaltungen (sogenannter I[n]tegrated C[ircuits]) werden mit fortschreitender Technologie immer kleiner und komplexer. Dies eröffnet die Möglichkeit, immer höhere Anforderungen an ein System zu stellen und immer mehr Funk-

30 tionen in einer integrierten Schaltung zu vereinen.

Da die Entwicklung derartiger komplexer Systeme sehr kostenintensiv ist, ist es ausgesprochen wichtig, das Produkt möglichst frühzeitig auf dem Markt anbieten zu können, um die entstehenden Kosten auch wieder decken zu können. Aus diesem Grunde wird
5 versucht, Entwicklungszeiten so kurz wie möglich zu halten. Ein Ansatzpunkt für das Verkürzen von Entwicklungszeiten ist eine möglichst flexible und universell einsetzbare Datenbasis.

In diesem Zusammenhang ist für eine Vielzahl von Anwendungen die Erzeugung von
10 Taktsignalen mit einem bestimmten Frequenzverhältnis sowie mit einer konstanten Phasenbeziehung zum Eingangssignal erforderlich. Zu diesem Zwecke werden im allgemeinen Phasenregelkreise (sogenannte P[hase]L[ocked]L[oop]s) eingesetzt. Bei einem Phasenregelkreis handelt es sich um eine spezielle Schaltung zum Erzeugen gewünschter Frequenz- sowie Phasenbeziehungen mit bestimmter Genauigkeit; wie
15 genau die Schaltung arbeitet, hängt von der Notwendigkeit und vom Regelverhalten der Schaltung ab.

Ein häufiges Anwendungsgebiet einer P[hase]L[ocked]L[oop] ist die Fernsehtechnik. Damit der Betrachter ein klares Fernsehbild auf seinem Fernsehgerät sieht, ist es
20 erforderlich, die Ablenkeinheit der Bildröhre frequenz- und phasenrichtig mit dem gesendeten Bild zu synchronisieren; dies ist die Aufgabe einer P[hase]L[ocked]L[oop].

Eine P[hase]L[ocked]L[oop] ist demnach ein Regelsystem, dessen Aufgabe darin besteht, einen Oszillator in Frequenz und in Phase mit einem Eingangssignal zu synchronisieren.
25 Im synchronisierten Zustand ist die Phasendifferenz zwischen Eingangssignal und Oszillatorsignal null oder konstant. Tritt eine Phasenverschiebung von Eingangssignal und Oszillatorsignal zueinander ein, so regelt die P[hase]L[ocked]L[oop] den Oszillator so lange nach, bis die Phasenverschiebung wieder verschwindet bzw. konstant ist.

30 Bei Applikationen auf T[ele]V[ision]-Basis ist häufig das horizontale Synchronisationssignal oder Zeilensynchron(isations)signal (sogenanntes "hsync"-Signal) das Bezugs-

signal (= Referenzsignal), von dem ein Taktsignal abgeleitet wird, dessen Frequenz ein Vielfaches, zum Beispiel das 2.048-fache, der Eingangsfrequenz oder Teile hiervon darstellt.

- 5 Handelt es sich bei der betrachteten Anwendung nicht um eine Applikation auf T[ele]V[ision]-Basis oder auf Videobasis, sondern um eine andere Applikation, zum Beispiel auf Audibasis, so ist das Bezugs- oder Referenzsignal häufig ein allgemeines Signal, das als "hin"-Signal bezeichnet werden kann:
- 10 So ist bei Applikationen auf Audibasis häufig das sogenannte "W[ord]S[elect]"-Signal das Bezugssignal für den bitweisen Takt zur Übertragung der Daten. Hierbei ist das "W[ord]S[elect]"-Signal das Signal zur Kanalunterscheidung bei der seriellen Übertragung von Audiodaten im I[n]terI[n]tegratedCircuitS[ound]-Format (sogenanntes IIS-Format oder I²S-Format); dies bedeutet, dass das "W[ord]S[elect]"-Signal mittels des
- 15 Hoch- oder Niedrigzustands anzeigt, ob der linke Kanal oder der rechte Kanal verarbeitet wird.

In der Vergangenheit sind sowohl für T[ele]V[ision]-Anwendungen als auch für Audioanwendungen analoge P[hase]L[ocked]L[oop]-Systeme eingesetzt worden, mit

20 denen Taktsignale in der Größenordnung von weniger als dreihundert Megahertz bei Eingangsfrequenzen im Bereich von etwa fünfzehn Kilohertz bis etwa sechzig Kilohertz bereitgestellt werden können. Für neuartige V[ery]L[arge]S[cale]I[n]tegration-Prozesse besteht Bedarf für einen neuartigen digitalen Niedrigfrequenz-PLL, der flexibler einsetzbar als ein analoges System ist.

25

Hierbei sind in letzter Zeit hauptsächlich digitale PLL-Systeme zum Einsatz gelangt, etwa weil

- die vom Markt bzw. von den Konsumenten oder Kunden geforderten Eigenschaften durch analoge PLL-Systeme nicht (mehr) befriedigt werden können,

30

- analoge Systeme gegen Störungen, wie etwa "ground bounce" (= Schwanken der Bezugsspannung durch Schaltvorgänge), sehr empfindlich sind oder
- digitale PLL-Systeme auf kleinere Prozesse ohne Leistungsverlust skalierbar sind.

5

Hierdurch werden Gründe definiert, aufgrund derer der analoge Anteil an Phasenregelsystemen soweit wie möglich reduziert werden sollte, zumal die folgenden notwendigen Eigenschaften mit analogen PLL-Systemen nur sehr schwer oder gar nicht zu erfüllen sind:

- 10 - ohne Eingangssignal oder mit abgeschaltetem Eingangssignal bleibt das System auf seiner letzten Frequenz, etwa um einen Monitormodus zu bewerkstelligen;
- wenn die Steuerschleife geöffnet ist und das System auf seine Nominalfrequenz geschaltet wird (oder umgekehrt), sollte dies glatt und zeitkontinuierlich mit einer begrenzten sowie anpassbaren Frequenzänderung erfolgen; wenn sich die
- 15 Zeilenfrequenz in Fernsehapparaten zu schnell ändert, dann wird auch die E[xtremely]H[igh]T[ension] zu groß, und der Fernsehapparat geht in den x-ray-Schutzabschaltungsmodus über;
- unabhängiges Schalten der (Abkling-)Zeitkonstante und des Dämpfungsfaktors;
- das Testen sollte struktureller Natur sein; die Anzahl funktioneller Tests sollte
- 20 so gering wie möglich sein.

Num sind konventionellerweise bereits digitale Phasenregelsysteme für T[ele]V[ision]-Anwendungen in Gebrauch; so ist aus der Druckschrift EP 0 619 653 A1 eine Schaltungsanordnung der eingangs genannten Art bekannt.

25

Der in der Druckschrift EP 0 619 653 A1 offenbarte zeitkontinuierliche Oszillator weist einen Mechanismus zur Frequenzanpassung auf, der auf dem Schalten von Gateverzögerungen basiert. Aufgrund dieses Mechanismus wird der Frequenzbereich auf einige Prozent begrenzt, weswegen es erforderlich ist, eine weitere Steuerungsschleife vorzusehen, durch die das System von Prozessausweitungen befreit wird und durch die die

30 Frequenz an den erwünschten Bereich angepasst wird.

Wenn diese Art von zeitkontinuierlichem Oszillator an seiner oberen Frequenzgrenze betrieben wird, übernehmen beispielsweise auf Verbindungsdrähte zurückzuführende parasitäre Kapazitäten die Steuerung der Betriebsfrequenz der offenen Schleife sowie
5 die Kontrolle über den tatsächlichen Frequenzbereichs. Dies verursacht Probleme bei der I[ntegrated]C[ircuit]-Produktion.

So kann der Frequenzbereich zu klein werden, und die Frequenzschleife muss die Steuerung übernehmen. Während der Frequenzkorrektur entkoppelt der Phasenregel-
10 kreis, das heißt der Phasenregelkreis rastet aus und muss wieder neu eingekoppelt bzw. eingerastet werden; dies ist auf dem Bildschirm als Zeilenstörung sichtbar.

Die Implementierung des digitalen Phasenregelkreises gemäß der Druckschrift EP 0 619 653 A1 stellte bereits einen Mechanismus zur Verfügung, um die Dynamik anzupassen.
15 Es ist möglich, die Kenngrößen Zeitkonstante, insbesondere Abklingzeitkonstante, Eigen(kreis)frequenz und/oder Dämpfung im eingekoppelten bzw. eingerasteten Modus anzupassen.

Wenn das System eine Phasendifferenz ermittelt, die größer als eine Schwelle ist, wird
20 die schnellstmögliche Zeitkonstante verwendet. Dies vergrößert den Erfassungsbereich auf den gesamten abdeckbaren Frequenzbereich. Nachfolgend wird die Zeitkonstante in festgelegten Schritten verringert; dies verursacht große Phasensprünge sowie schnelle Modulationen der Frequenz.

25 Bei T[ele]V[ision]-Anwendungen verursacht dies Beschädigungen des Ablenktransistors und/oder ein Schalten in den x-ray-Schutzmodus, weil die Hochspannung die Röntgenstrahlgrenze übersteigt. Bei Audioanwendungen verursacht dies störende und/oder ungewöhnliche, jedenfalls nicht akzeptable Geräusche während der normalen Betriebsmodi. Die schnellste Zeitkonstante ist nicht anpassbar. Prinzipiell kann dies zwar implementiert
30 werden, jedoch können Änderungen der Bezugsfrequenz dann nur indirekt abgedeckt werden.

Der analoge Teil des PLL-Designs gemäß der Druckschrift EP 0 619 653 A1 ist sehr groß und kann nur unter extrem erschwerten Bedingungen an kleinere Prozesse angepasst werden. In diesem Zusammenhang besteht beim sehr kritischen PLL-Layout gemäß der Druckschrift EP 0 619 653 A1 nicht nur das Problem, dieses Layout in den
5 kleineren Prozess umzuwandeln, sondern auch die Schwierigkeit, dass die Versorgung zu reduzieren ist.

- Zu diesem Zwecke benötigt der analoge PLL-Anteil eine neue Struktur, wobei es sehr schwierig ist, eine Struktur bereitzustellen, die zumindestens die gleiche Jitterleistung
10 wie zuvor zur Verfügung stellt (mit "Jitter" werden in der Datenübertragung Phasenschwankungen und damit zeitliche Änderungen von Signalfrequenzen bezeichnet, wobei es sich um Schwankungen von fixierten Zeitpunkten, zum Beispiel vom Zeitpunkt des Übergangs von einer Signalamplitude auf eine andere, eines Digitalsignals handelt; Jitter kann bei allen Frequenzen auftreten und auf Daten-Clocks zu Daten-
15 verlusten führen, wenn der Jitter zu Timing-Violations führt; zusätzlich kann Jitter aber im Falle von Video-Clocks auch zu Bildstörungen, zum Beispiel zu zeilenweisem Pixelversatz und somit zu ausgerissenen Kanten führen; im Falle von Audioanwendungen kann Jitter zu Störsignalen und zu schlechtem Signal-Rausch-Abstand führen).
- 20 Nicht zuletzt ist das gemäß der Druckschrift EP 0 619 653 A1 implementierte PLL-Layout im Hinblick auf das Phänomen des sogenannten "ground bounce" (= chipinterne Anhebung des Grundpegels, die auch das Testen von hochintegrierten Boards erschwert) sehr empfindlich.
- 25 In den I[n]tegrated]C[ircuit]s mit den Typenbezeichnungen SAA4978 und SAA4979 (= integrierte Schaltkreise der dritten Generation) der Firma Philips wurde lediglich die Basisarchitektur des digitalen P[hase]L[ocked]L[oop]s gemäß der Druckschrift EP 0 619 653 A1 eingesetzt, wobei es jedoch aus den vorgenannten Gründen gewisse systemimmanente Probleme mit den anhand der Figuren 14, 16 und 18 der Druckschrift
30 EP 0 619 653 A1 dargelegten Zuständen des zeitkontinuierlichen Oszillators und damit mit der Systemleistung gab; letztere Systemleistung war im Ergebnis nicht akzeptabel.

Zusammenfassend lässt sich zum digitalen Phasenregelkreis gemäß der Druckschrift EP 0 619 653 A1 also feststellen, dass dieser in seinem Design ausgesprochen komplex und in der Produktion nur sehr erschwert zu prüfen ist. Ein weiteres Problem ist im relativ
5 großen, nur sehr schwer miniaturisierbaren analogen Anteil dieses bekannten PLL-Systems sowie in der begrenzten analogen Leistung zu sehen.

Des weiteren ist es sehr schwierig, die Dynamik des Systems im Falle von Phasensprüngen oder im entkoppelten bzw. ausgerasteten Zustand anzupassen. In diesen Fällen
10 ändert sich die Zeitkonstante auf sehr kleine Werte, und die Ausgangsfrequenz ändert sich sehr schnell, was die vorbeschriebenen Probleme bei E[xtremely]H[igh]T[ension] verursacht. Das Schalten der Zeitkonstante erfolgt, um das System innerhalb eines sehr kurzen Zeitintervalls einzukoppeln bzw. einzurasten. Ein unabhängiges Schalten der Abklingzeitkonstante sowie ein Dämpfen in kleinen Schritten ist aber möglich.

15 Auch der auf dem Prinzip des A[nalog]/D[igital]O[ne]C[hip] basierende digitale Ausgabeprozessor des Modells mit der Typenbezeichnung PNX3001 der Firma Philips enthält bereits eine digitale Phasenregelschleife, die sich eines Digital/Zeit-Wandlers sowie eines Zeit/Digital-Wandlers bedient; jedoch ist hiermit weder ein unabhängiges
20 Steuern der Abklingzeitkonstante noch ein unabhängiges Steuern der Dämpfung möglich.

Dieses bekannte digitale PLL-System weist einen Frequenzdetektor auf, der den Einkoppel- bzw. Einrastvorgang beschleunigt, jedoch auch auf Phasensprünge reagiert. Bei
25 Ausschalten des Systems ist ein glatter, zeitkontinuierlicher Übergang von der Betriebsfrequenz zur Nominalfrequenz nicht möglich. Außerdem wird der sogenannte "flyback"-Wert des diskreten Rampen- oder Zeitoszillators (sogenannter D[igital]T[ime]O[scillator] oder D[iscrete]T[ime]O[scillator]) und nicht das Inkrement gesteuert, was mehr Aufmerksamkeit für das Steuern des dynamischen Verhaltens und für das
30 Erzeugen der Taktphase erfordert.

Konventionellerweise hat der Audio- oder Klangkern (sogenanntes "soundcore") des A[nalog]/D[igital]O[ne]C[hip] einen "W[ord]S[elect]"-Phasenregelkreis, der relativ kompliziert ist und im Vergleich mit einer idealen Implementierung eine Reihe von
5 Unzulänglichkeiten aufweist.

Ein Hauptproblem der konventionellen Implementierung besteht darin, dass diese in der ersten Regelschleife noch einen analogen Phasenregelkreis aufweist, was die Ausgangsfrequenz sehr schnell auf niedrige Werte verringert, wenn kein Eingangssignal anliegt;
10 dies verursacht an den Lautsprechern störende Geräusche, die bei zu hoher Intensität auch zur Zerstörung der Lautsprecher und/oder der Leistungsendstufe führen können.

Außerdem koppelt der analoge Phasenregelkreis indirekt an das "W[ord]S[elect]"-Signal, weil es am Bittakt ankoppelt, das ein bestimmtes Verhältnis zum "W[ord]S[elect]"-Signal
15 aufweist. Dieses Verhältnis wurde gemessen und die Teiler wurden so angepasst, dass der Ausgang eine Frequenz aufweist, die das gewünschte Verhältnis zur Eingangsfrequenz hat.

Das Schalten der Teilerverhältnisse verursacht auch eine relativ abrupte Änderung der
20 Betriebsfrequenz. Dies verursacht Störgeräusche an den Lautsprechern; es kann auch zu Beschädigungen der Lautsprecher kommen.

In der Druckschrift US 6 320 574 B1 ist ein konventionelles P[hase]L[ocked]L[oop]-System mit einer "L[ook]U[p]"-T[abelle] und einem Digital/Analog-Wandler-Ansatz
25 für das Generieren der analogen Phase beschrieben. Die Auflösung des Phasendetektors hängt vom Referenztakt ab.

Der in der Druckschrift US 6 320 574 B1 offenbarte Frequenzdetektor weist einen konstanten Verstärkungsfaktor (sogenannte "steepness") auf und ist dafür ausgelegt, nur
30 kleine Frequenzabweichungen zu unterdrücken. Der Verstärkungsfaktor ist konstant,

weil ein Aktualisieren des Filters in Abständen erfolgt, die auf dem Referenztakt basieren. Wenn das aus der Druckschrift US 6 320 574 B1 bekannte System auf eine langsame Zeitkonstante geschaltet wird, sollte das Frequenzinkrement/-dekrement klein sein, denn ansonsten erfolgt keine Einkopplung bzw. kein Einrasten des Systems:

5

Das Inkrement hat wesentlich kleiner als der Erfassungsbereich zu sein, und die Aktualisierungszeit hat kleiner als die maximale Erfassungszeit zu sein, und zwar dies unter schlechten Fallbedingungen. Dies begrenzt für das System die Anlaufgeschwindigkeit oder den Frequenzbereich, den das System abdecken kann.

10

Mit dem in der Druckschrift US 6 320 574 B1 beschriebenen Frequenzdetektor können große Frequenzen sowie Phasenversetzungen (sogenannte "phase offsets") nicht gehandhabt werden. Des weiteren ist dieser bekannte Frequenzdetektor auch nicht gegen große Phasenverschiebungen am Eingang robust genug ausgelegt.

15

Das Schleifenfilter des Phasenregelkreises gemäß der Druckschrift US 6 320 574 B1 ist ziemlich kompliziert und nicht sehr flexibel. Weil beim Gegenstand gemäß der Druckschrift US 6 320 574 B1 das Inkrement des diskreten Rampenoszillators (sogenannter D[i]gital T[ime] O[scillator] oder D[i]screte T[ime] O[scillator]) unmittelbar durch den Frequenzdetektor beeinflusst wird, kann die Aktualisierung des Frequenzdetektors durch den intrinsischen Proportionalteil des Schleifenfilters partiell gelöscht werden. Der "Gain" des intrinsischen Proportionalpfads verringert den Verstärkungsfaktor des Frequenzdetektors, so dass ein unabhängiges Einstellen nicht möglich ist.

20

Der dynamische Parameter des Schleifenfilters des Phasenregelkreises gemäß der Druckschrift US 6 320 574 B1 hängt unmittelbar von der Dämpfung ab, so dass weniger Freiheiten und weniger Möglichkeiten beim Auslegen dieses bekannten Schleifenfilters und damit dieses bekannten Phasenregelkreises bestehen.

30

Ein Verfahren zum Verarbeiten von insbesondere analogen Eingangssignalen mittels eines Phasenregelkreises ist aus der Druckschrift US 2003/0052997 A1 bekannt.

5 Allerdings offenbart die Druckschrift US 2003/0052997 A1 insofern eine von der Druckschrift EP 0 619 653 A1 substantiell verschiedene Herangehensweise an das Problem des Einkoppelns bzw. Einrastens in eine Phasenregelschleife, als Fensterfunktionen und diverse unterschiedliche Phasendetektoren verwendet werden. Die Druckschrift US 2003/0052997 A1 unterscheidet auch zwischen Feineinrastung und Grobeinrastung. Des weiteren werden in der Druckschrift EP 0 619 653 A1 auch
10 Methoden beschrieben, um auf Phasenrauschen zu reagieren.

Beim Gegenstand gemäß der Druckschrift US 2003/0052997 A1 wird die Leistung durch einen Mikroprozessor bestimmt, ohne den das System nicht starten würde. Wenn alle Takte, so auch der Mikrocontrollertakt, von diesem Phasenregelkreis abgeleitet
15 werden, so erzeugt dies Anlaufprobleme. Außerdem wird ein großer Teil der Ressourcen des Mikrocontrollers für die Steuerung des Phasenregelkreises gebunden, denn in den Zeiträumen, in denen der Mikrocontroller mit dem PLL beschäftigt ist, können keine anderen Aufgaben bewerkstelligt werden.

20 Ein weiteres Verfahren zum Verarbeiten von insbesondere analogen Eingangssignalen mittels eines Phasenregelkreises ist aus der Druckschrift US 2002/0191727 A1 bekannt.

Diese bekannte Vorgehensweise bedient sich eines Zeit/Digital-Wandlers (sogenannter T[ime to]D[igital]C[onverter]). Es ist Stand der Technik und damit nicht neu, die
25 Auflösung des Phasendetektors zu verbessern. In der Offenbarung der Druckschrift US 2002/0191727 A1 ist hervorgehoben, dass die ansteigende Flanke sowie die abfallende Flanke des Bezugssignals zum Bestimmen des Phasenunterschieds herangezogen wird. Dies ist erforderlich, um am Ausgang ein Signal mit einem Arbeitszyklus von fünfzig Prozent zu erhalten.

Beim Gegenstand gemäß der Druckschrift US 2002/0191727 A1 ist weder ein Frequenz-
detektor noch eine Steuerung der (Abkling-)Zeitkonstante oder des Dämpfungsfaktors
vorgesehen. Dies ist nicht erforderlich, denn dieses bekannte System hat nicht auf
Phasen- oder Frequenzsprünge am Eingang zu reagieren; vielmehr ist dieses bekannte
5 System als Frequenzsynthesizer ausgelegt.

Auf diese Weise benötigt dieses bekannte System keine langen Zeitkonstanten, die den
Einsatz eines Frequenzdetektors anzeigen würden. Des weiteren weist dieses bekannte
System auch keinen Digital/Zeit-Wandler (sogenannter D[igital to]T[ime]C[onverter])
10 auf, um ohne einen analogen Oszillator in der Schleife aus einem digitalen Wort
unmittelbar die analoge Phase zu erzeugen.

Ausgehend von den vorstehend dargelegten Nachteilen und Unzulänglichkeiten sowie
unter Würdigung des umrissenen Standes der Technik liegt der vorliegenden Erfindung
15 die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art sowie ein
Verfahren der eingangs genannten Art so weiterzubilden, dass die vorstehend
dargelegten Nachteilen und Unzulänglichkeiten vermieden werden.

Im speziellen sollen die Schaltungsanordnung sowie das Verfahren zum Betreiben
20 derselben ohne weiteres an unterschiedliche Anforderungen anpassbar sein. Der
vorzuschlagende Phasenregelkreis soll im Design einfach und in der Produktion leicht
auszutesten sein. Schließlich soll der analoge Anteil der Schaltung so weit wie möglich
reduziert werden, um die gesamte Schaltungsanordnung auf möglichst einfache Weise
an unterschiedliche Fertigungsprozesse anpassen zu können.

25

Diese Aufgabe wird durch eine Schaltungsanordnung mit den im Anspruch 1 angege-
benen Merkmalen sowie durch ein Verfahren mit den im Anspruch 7 angegebenen
Merkmalen gelöst. Vorteilhafte Ausgestaltungen und zweckmäßige Weiterbildungen
der vorliegenden Erfindung sind in den jeweiligen Unteransprüchen gekennzeichnet.

30

Mithin basiert die vorliegende Erfindung auf dem Prinzip eines digitalen, für ein anpassbares dynamisches Verhalten ausgelegten P[hase]L[ocked]L[oop]-Systems (= integrierte Schaltungsanordnung), durch das sowohl das bekannte PLL-System gemäß der Druckschrift EP 0 619 653 A1 als auch das bekannte "W[ord]S[elect]"-PLL-System
5 für das A[nalog]/D[igital]O[n]eC[hip]-Projekt ersetzt werden kann.

Hierbei handelt es sich beim Phasenregelsystem gemäß der vorliegenden Erfindung um einen Ansatz, der in vielen Anwendungsbereichen, wie etwa Audio, T[ele]V[ision] und/oder Video, eingesetzt werden kann.

10

Die Schaltungsanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet, weist im wesentlichen zwei Hauptkomponenten auf, nämlich

- eine Frequenzregel- oder -steuerungsschleife sowie
- 15 - eine im wesentlichen digitale Phasenregel- oder -steuerungsschleife
(= ein im wesentlichen digitaler Phasenregel- oder -steuerungskreis).

Der Phasenregelkreis koppelt an das analoge Eingangssignal in Form des horizontalen Synchronisationssignals oder Zeilensynchronsignals (= sogenanntes "hsync"-Signal im
20 Falle einer T[ele]V[ision]-Applikation; allgemein: "hin"-Signal im Falle anderer Applikationen, etwa auf Audibasis oder auf Videobasis).

In diesem Zusammenhang ist zu berücksichtigen, dass die T[ele]V[ision]-Signalverarbeitung und die Videosignalverarbeitung im wesentlichen das gleiche sind; wird nun
25 darauf abgestellt, dass anstelle "hsync" auch "hin" als Eingangssignal verwendet wird, so ist hierzu grundsätzlich zu bemerken, dass die Bezeichnung des Signals nicht festgelegt ist; vielmehr ist wesentlich die Charakterisierung des Signals, das eine im Vergleich zum Clock-Signal niedrige Frequenz aufweist und als Referenzsignal für die P[hase]L[ocked]L[oop] dient.

30

An der ansteigenden Flanke des analogen Eingangssignals bzw. an dessen abfallender Flanke wird die Phase gemessen. Mittels eines Zeit/Digital-Wandlers (sogenannter T[ime to]D[igital]C[onverter]) wird eine Auflösung bzw. Genauigkeit im Subpixel- bzw. Subtaktbereich erzielt. Die Phase wird einem Schleifenfilter zugeführt, das ein
5 Inkrement für einen digitalen Rampen- oder Zeitoszillator (= sogenannter D[igital]T[ime]O[scillator]) erzeugt.

Der Überlaufwert des digitalen Rampenoszillators und das zeitliche Inkrement werden mittels eines (Signal-)Teilers durcheinander geteilt, um die Phase des Ausgangstakt-
10 signals (sogenanntes "output clock signal") zu ermitteln. Dieses Ausgangstaktsignal wird mittels eines Digital/Zeit-Wandlers (sogenannter D[igital to]T[ime]C[onverter]) von der digitalen Domäne in die analoge Realzeitdomäne überführt.

Unter Berücksichtigung der Tatsache, dass das P[hase]L[ocked]L[oop]-System gemäß
15 der vorliegenden Erfindung auf einer nahezu vollständig digitalen Annäherung basiert, wird zum Verbessern der Phasenauflösung der Schaltungsanordnung die TDC/DTC-Kombination eingesetzt, die den einzigen, relativ kleinen analogen Anteil des P[hase]L[ocked]L[oop]-Systems enthält.

20 Demzufolge ist das vorliegende Phasenregelsystem - im Unterschied zu den vorstehend diskutierten Druckschriften aus dem Stand der Technik - ohne weiteres auf unterschiedliche Designprozesse skalierbar und ohne jede Schwierigkeit bei der Herstellung integrierter Schaltkreise (sogenannter "I[ntegrated]C[ircuit]s") zu testen.

25 Wenn die Ausgangsfrequenz geringer als die größtmögliche Ausgangsfrequenz des Digital/Zeit-Wandlers ist und wenn der erforderliche Ausgangsphasenjitter in der Größenordnung von $2 \cdot t_{DTC}$ ist (t_{DTC} = Verzögerung einer einzelnen Subphase oder eines einzelnen "Taps" der Verzögerungsleitung bzw. "delay line" des Digital/Zeit-Wandlers), dann kann die Ausgangsphase direkt verwendet werden.

Bei der vorliegenden Applikation ist die benötigte Ausgangsfrequenz höher, so dass gemäß einer erfindungswesentlichen Weiterbildung der vorliegenden Schaltungsanordnung wie auch des vorliegenden Verfahrens ein weiterer Phasenregelkreis zum Vervielfachen der Frequenz eingesetzt wird.

5

Im Unterschied zum ersten, im wesentlichen digital ausgelegten Phasenregelkreis ist dieser weitere oder zweite Phasenregelkreis analog ausgelegt und wird als zweite Schleife gesetzt, die dem ersten, im wesentlichen digital ausgelegten Phasenregelkreis folgt. Am Ausgang stellt ein (Frequenz-)Teiler alle erforderlichen Signale zur

10 Verfügung, die eine festgelegte Phasebeziehung zueinander aufweisen.

Aufgrund der Konfiguration dieser analogen P[hase]L[ocked]L[oop] folgt sie der digitalen P[hase]L[ocked]L[oop], ohne das dynamische Verhalten des Gesamtsystems zu beeinflussen. Wird ferner eine Phasenbeziehung zum Eingangssignal der analogen

15 PLL benötigt, so müssen die Ausgangsteiler der analogen PLL mit diesem Eingangssignal zumindest einmal zurückgesetzt werden.

Gemäß einer vorteilhaften Weiterbildung wird im Schleifenfilter des digitalen P[hase]L[ocked]L[oop]s gemäß der vorliegenden Erfindung im normalen PLL-Modus

20 das Ausgangssignal des Phasendetektors mittels eines Proportionalglieds mit einem Proportionalbeiwert (= Proportionalfaktor) multipliziert. Im Integralpfad des Schleifenfilters wird das Ausgangssignal des Proportionalglieds in einem weiteren Proportionalglied wiederum mit dem Proportionalbeiwert (= Proportionalfaktor) multipliziert sowie in einem Integralglied mit einem Integralbeiwert (= Integralfaktor) multipliziert und

25 sodann in einer Integraleinheit integriert.

In bevorzugter Weise enthält dieser Integrator einen Begrenzer zum Begrenzen des Integratorwerts. Das Ausgangssignal des Integrators und das Ausgangssignal des Proportionalpfads werden addiert und limitiert, um den Frequenzbereich des digitalen

30 Rampenoszillators zu begrenzen. Das Ausgangssignal des Schleifenfilters ist der Inkrementwert für den digitalen Rampenoszillator.

Gemäß einer besonders erfinderischen Weiterbildung der vorliegenden Schaltungsanordnung wie auch des vorliegenden Verfahrens ist der digitale P[hase]L[ocked]L[oop]-Betrieb einschaltbar bzw. ausschaltbar, das heißt die Regelschleife der digitalen PLL wird geschlossen bzw. geöffnet.

5

Bei Ausschalten des Betriebs der digitalen PLL durch Öffnen der Regelschleife läuft der digitale bzw. diskrete Rampenoszillator ohne Frequenz- oder Phasensprung mit einstellbarer Zeitkonstante auf einer einstellbaren Frequenz linear ein. Der Übergang von einer Frequenz zur nächsten Frequenz ist ebenfalls ohne Frequenz- oder Phasensprung mit
10 einstellbarer Zeitkonstante linear möglich.

Bei der vorliegenden Schaltungsanordnung wie auch beim vorliegenden Verfahren kann die Zeitkonstante sehr lang sein. Um die für das Einkoppeln bzw. Einrasten benötigte Zeit zu verringern und um den Kopplungs-/Rastbereich zu vergrößern, ist gemäß einer
15 besonders erfinderischen Weiterbildung mindestens ein Frequenzdetektor vorgesehen, dessen Verstärkungsfaktor auch innerhalb eines weiten Bereichs einstellbar ist.

Zwar ist auch in der Druckschrift US 6 320 574 B1 ein Frequenzdetektor innerhalb einer digitalen Schleife offenbart; jedoch kann diese bekannte Art von Frequenzdetektor
20 lediglich für geringe Frequenzabweichungen eingesetzt werden und weist eine vom Frequenzdetektor gemäß der vorliegenden Erfindung verschiedene dynamische Charakteristik in Abhängigkeit von der Einkopplungs- bzw. Einrastrichtung auf. Dieser aus der Druckschrift US 6 320 574 B1 bekannte Frequenzdetektor ist auch im Hinblick auf große Phasensprünge nicht sicher.

25

Im Unterschied zum Gegenstand gemäß der Offenbarung der Druckschrift US 6 320 574 B1 unterliegt die in der vorliegenden Erfindung erläuterte Ausgestaltung insofern keinen Einschränkungen, als es keine Limitierung des durch den Frequenzdetektor zu erfassenden Frequenzbereichs gibt. Das dynamische Verhalten der Schaltungsan-
30 ordnung gemäß der vorliegenden Erfindung während der Phase des Einkoppelns bzw. Einrastens ändert sich nicht mit der Einkopplungs- bzw. Einrastrichtung.

Als weiteres vorteilhaftes Abgrenzungskriterium der vorliegenden Erfindung gegenüber dem Stand der Technik ist die Tatsache zu werten, dass die Zeit für die Aktualisierung des Frequenzdetektors umso länger ist, je geringer der Unterschied zwischen Bezugsfrequenz und Rückkopplungsfrequenz ist. Der Frequenzdetektor kann theoretisch
5 beliebig kleine Frequenzdifferenzen detektieren und ist automatisch inaktiv, sobald die P[hase]L[ocked]L[oop] gelockt hat und mithin eine mehr oder minder konstante Phasenbeziehung zwischen dem Eingangssignal der P[hase]L[ocked]L[oop] und dem Ausgangssignal der P[hase]L[ocked]L[oop] besteht. Der in der vorliegenden Schaltungsanordnung implementierte Frequenzdetektor ist gegenüber Phasenver-
10 schiebungen völlig robust.

Die (Abkling-)Zeitkonstante, der Dämpfungsfaktor und der Verstärkungsfaktor des Frequenzdetektors können bei der vorliegenden Erfindung als Kenngrößen des Systems separat und unabhängig voneinander gesteuert werden, was einen erheblichen Unter-
15 schied zum in der Druckschrift US 6 320 574 B1 offenbarten Frequenzdetektor darstellt, bei dem diese Parameter voneinander abhängig sind.

Hinsichtlich der durch die vorliegende Erfindung verwirklichten Vorteile ist des weiteren zu bemerken, dass die Schaltungsanordnung sowie das Verfahren zum
20 Betreiben derselben ein voneinander unabhängiges Steuern der Zeitkonstante und der Dämpfung ermöglichen.

In diesem Zusammenhang würde eine verschwindende Dämpfungskonstante (= ein verschwindender Dämpfungsfaktor) bedeuten, dass das System ungedämpft ist; zu
25 sehen wäre dann eine Sinusschwingung mit der Eigen(kreis)frequenz. Je größer die Dämpfungskonstante (= der Dämpfungsfaktor) ist, desto stärker wird der Regelvorgang bedämpft und desto geringer ist das Überschwingen.

Bei einem zwischen null und eins liegenden Wert des Dämpfungsfaktors kommt es
30 noch zu einem Überschwingen. Ist die Dämpfungskonstante hingegen gerade eins bzw. größer als eins, so kommt es in Systemen zweiter Ordnung nicht mehr zu einem

Überschwingen; dieser Fall wird auch der aperiodische (Grenz-)Fall genannt (vgl. Jan Lunze, "Regelungstechnik 1", Springer-Verlag, 1996), bei dem es typischerweise noch zu einem Überschwinger kommt, dann das System jedoch nicht mehr schwingt, sondern gleich auf seinen Endwert läuft.

5

Die Ausgangsfrequenz kann sich nur mit einer einstellbaren Steigung ändern, und zwar selbst dann, wenn die Schleife zur nominalen Ausgangsfrequenz hin ausgeschaltet wird oder wenn die Nominalfrequenz geändert wird. Wenn das Eingangssignal weggenommen wird, hält der digitale Phasenregelkreis die letzte Eingangsfrequenz, was auch
10 als "Einfrieren" der letzten Eingangsfrequenz bezeichnet werden kann.

Im Unterschied zur Offenbarung gemäß der Druckschrift US 2003/0052997 A1 gelingt es mittels der Implementierung gemäß der vorliegenden Erfindung, die Steuerungsregister mittels des Controllers zu ändern; die restlichen involvierten Komponenten sind
15 autark.

Gegenüber dem Stand der Technik, insbesondere gegenüber der Offenbarung der Druckschrift US 2002/0191727 A1, zeichnet sich die vorliegende Erfindung des weiteren dadurch aus, dass das unmittelbare Erzeugen einer analogen Phase aus einem
20 digitalen Wort ohne Vorsehen eines analogen Oszillators in der Schleife mittels des Digital/Zeit-Wandlers (sogenannter D[igital to]T[ime]C[onverter]) möglich ist, und zwar bis zur Bezugstaktfrequenz hinauf, wenn eine parallele Arbeitslogik für das Ermitteln der Phase eingesetzt wird. Ein weiterer Vorteil dieses Ansatzes ist darin zu sehen, dass weniger Phasenrauschen auftritt.

25

Ein weiterer Vorteil der vorliegenden Schaltungsanordnung gegenüber einer analogen niederfrequenten P[hase]L[ocked]L[oop] wird nachfolgend beschrieben:

Da diese digitalen niederfrequenten P[hase]L[ocked]L[oop]s sehr langsam sein können
30 und die Schaltung kontinuierlich über die gesamte Referenzperiode regeln, entfallen die

kurzzeitigen Regelstöße, wie sie von einer sogenannten Charge-Pump-P[hase]L[ocked]
L[oop] während des Regelvorgangs, das heißt während des Zeitintervalls zwischen den
Referenzflanken des Eingangssignals und des Rückkoppelsignals verursacht werden;
diese Regelstöße äußern sich im Ausgangssignal als Frequenzspitzen von bis zu mehr
5 als dem Doppelten der Frequenz im eingeschwungenen Zustand.

Ein derartiges Verhalten führt zu schweren Störungen bei der Signalverarbeitung
(sogenanntes "signal processing") infolge von Timing-Violations. Es besteht sogar die
Möglichkeit, dass ein an diesem Clock laufender Prozessor sein Processing stoppt
10 (umgangssprachlich: "sich aufhängt") und nur durch ein komplettes Ausschalten und
Wieder-Einschalten zum Leben zu erwecken ist; dies ist bei der vorliegenden Erfindung
in zuverlässiger Weise vermieden.

Die vorliegende Erfindung betrifft schließlich die Verwendung mindestens einer
15 Schaltungsanordnung gemäß der vorstehend dargelegten Art und/oder eines Verfahrens
gemäß der vorstehend dargelegten Art in Kommunikationssystemen, insbesondere in
Audio-, T[ele]V[ision]- und Videosystemen, wie etwa in Soundprozessoren, in Stereo-
decodern, in Synthesizertunern und/oder in Videoprocessoren.

20 Die P[hase]L[ocked]L[oop]-Schaltungsanordnung gemäß der vorliegenden Erfindung
wie auch das Verfahren gemäß der vorliegenden Erfindung lassen sich nicht nur zum
Erzeugen von Signalen, sondern in erfindungswesentlicher Weise auch zum
Analysieren von Signalen, zum Beispiel in der Messtechnik, einsetzen:

25 Wenn die Bandbreite sehr niedrig eingestellt ist, kann die Phasenmodulation des Ein-
gangssignals hinter dem Phasendetektor gemessen werden. Dies kann zum Beispiel
genutzt werden, um die Phasenmodulation zu demodulieren oder um die Störphasen-
modulation im Eingangssignal zu messen. Da die Bandbreite der P[hase]L[ocked]
L[oop] gemäß der vorliegenden Erfindung sehr niedrig einstellbar ist, kann die Phasen-
30 modulation bis hin zu sehr niedrigen Modulationsfrequenzen gemessen werden.

Mit der gleichen P[hase]L[ocked]L[oop] gemäß der vorliegenden Erfindung kann bei großer eingestellter Bandbreite die Frequenzmodulation bis hin zu verhältnismäßig hohen Modulationsfrequenzen analysiert werden, das heißt auch bei großer eingestellter Bandbreite ist eine Demodulation der Phasenmodulation oder eine Störfrequenzanalyse
5 (Messung der Störphasenmodulation im Eingangssignal) möglich.

War die schmalbandige Filterung und Analyse niederfrequenter Signale mit konventionellen Methoden aus dem Stand der Technik sehr aufwendig, teuer und nicht flexibel realisierbar, so ist dies mithilfe der Schaltung gemäß der vorliegenden Erfindung sowie
10 mithilfe des Verfahrens gemäß der vorliegenden Erfindung sehr kostengünstig und dennoch sehr präzise machbar.

Umgekehrt lassen sich die P[hase]L[ocked]L[oop]-Schaltungsanordnung gemäß der vorliegenden Erfindung sowie das Verfahren gemäß der vorliegenden Erfindung auch
15 für die Modulation eines niederfrequenten Signals

- sowohl für die Frequenzmodulation (niedrige Bandbreite der PLL)
- als auch für die Phasenmodulation (hohe Bandbreite der PLL)

einsetzen.

20 Anwendungen von niederfrequenter Modulation und Demodulation liegen unter anderem im Bereich der Telemetrie; dort werden in einem engen niederfrequenten Frequenzbereich mehrere Kanäle untergebracht. Die Modulation kann zum Beispiel im F[requency]S[hift]K[eying] erfolgen.

25 Die Modulation erfolgt bei einer niedrigen Bandbreite der PLL beim D[igital]T[ime] O[scillator]-Inkrement. Die Demodulation erfolgt bei höherer Bandbreite ebenfalls beim D[igital]T[ime]O[scillator]-Inkrement, um auf diese Weise die Daten und Informationen wiederzugewinnen.

Die Bandbreite der PLL beim Empfangen sollte nur so groß gewählt werden, dass die Nachbarkanäle noch sauber getrennt bleiben. So kann zum Beispiel eine Fülle von sich nicht sehr schnell ändernden Messergebnissen auf einem schmalbandigen Kanal übertragen werden, wie etwa meteorologische Daten (Luftdruck, Luftfeuchtigkeit,
5 Temperatur, Windrichtung, ...), Füllstände in Behältern, Kräfte, Spannungen, Vitalfunktionen und/oder dergleichen.

Ebenso können die Schaltungsanordnung gemäß der vorliegenden Erfindung sowie das Verfahren gemäß der vorliegenden Erfindung auch

- 10 - für die Übertragung niederfrequenter Signale von Zusatzdiensten bei bestehenden Diensten (zum Beispiel Text im Sync[ronisations]signal eines Fernsehapparats) und/oder
- für die Steuerung eines Fernsehapparats vom Sender (zum Beispiel Fernwirkung von Bildformat, von Lautstärke und/oder von dergleichen)
- 15 eingesetzt werden; diese Dienste erfordern keine großen Bandbreiten.

Auch im Audibereich können mittels der vorliegenden Erfindung Zusatzdaten und -informationen übertragen werden, zum Beispiel Interpret, Titel, Werbung oder Steuerung von Geräteparametern, wie etwa der Lautstärke oder des Frequenzgangs des
20 Audiokanals.

Ein Vorteil dieser Anwendungen besteht darin, dass die Kanalbandbreite konstant bleiben kann und dass eine Zusatzübertragung in den Frequenzlücken erfolgen kann. Das Übertragungsprotokoll bleibt unverändert. Die gleiche P[hase]L[ocked]L[oop]
25 gemäß der vorliegenden Erfindung kann für verschiedene Anwendungen konfiguriert werden. Für die Umschaltung von Phasenmodulation auf Frequenzmodulation oder von Phasendemodulation auf Frequenzdemodulation ist lediglich die Bandbreite umzuschalten und der Einspeisepunkt bzw. der Abnahmepunkt

- vor dem Loopfilter bzw. Schleifenfilter (Phasenmodulation) oder
- 30 - hinter dem Loopfilter bzw. Schleifenfilter (Frequenzmodulation)

zu ändern.

Ebenso bietet die Extraktion von G[lobal]P[ositioning]S[ystem]-Signalen aus dem G[lobal]P[ositioning]S[ystem]-Datenstrom Anwendungen für eine P[hase]L[ocked] L[oop]-Schaltung gemäß der vorliegenden Erfindung wie auch für ein Verfahren gemäß
5 der vorliegenden Erfindung. Da sich die Satelliten bewegen, ändert sich die Referenzfrequenz infolge des Dopplereffektes stets ein wenig, so dass die Frequenzlage und/oder die Phasenlage nicht immer mit dem Empfänger übereinstimmt. Des weiteren ist das Signal mit sogenanntem Random-Noise verjittert, und die Frequenz ist von Satellit zu Satellit unterschiedlich.

10

Die P[hase]L[ocked]L[oop]s, die in einem derartigen Falle erfindungsgemäß zum Einsatz gelangen, sind nicht selten softwarebasiert; auch hierfür ist die PLL gemäß der vorliegenden Erfindung geeignet.

15 In diesem Falle werden lediglich der Phasendetektor, das Schleifenfilter (= Loopfilter) und der D[igital]T[ime]O[scillator] benötigt; die T[ime to]D[igital]C[onverter]/D[igital to]T[ime]C[onverter]-Module entfallen. Ebenso wird die zweite analoge P[hase]L[ocked] L[oop] nicht benötigt, denn es geht lediglich darum, niederfrequente Signale im Millisekunden-Bereich zu rekonstruieren.

20

Falls erforderlich, lässt sich auch die Frequenzregelschleife ausschließlich in Form von Software realisieren. Unter Verzicht auf die zweite P[hase]L[ocked]L[oop] und auf die T[ime to]D[igital]C[onverter]/D[igital to]T[ime]C[onverter]-Module kann die P[hase] L[ocked]L[oop] also als reine Software-PLL betrieben werden. Aufgrund der Charak-
25 teristik des Phasenübertragungsverhaltens sowie des Frequenzübertragungsverhaltens lässt sich unabhängig von der Art der Implementation feststellen, ob eine P[hase] L[ocked]L[oop] gemäß der vorliegenden Erfindung eingebaut ist.

Für das G[lobal]P[ositioning]S[ystem] ist die P[hase]L[ocked]L[oop]-Schaltung gemäß
30 der vorliegenden Erfindung auch deshalb interessant, weil sich konventionellerweise

immer wieder Probleme beim Rasten auf das Datensignal ergeben. Eine mögliche dies-
bezügliche Verbesserung ergibt sich durch geeignetes Anpassen der Bandbreite sowie
der Mittenfrequenz der P[hase]L[ocked]L[oop]-Schaltung gemäß der vorliegenden
Erfindung, wobei sich die Bandbreite sowie die Mittenfrequenz unabhängig voneinan-
5 der auf sehr einfache Weise einstellen lassen.

Eine weitere Anwendung der Schaltungsanordnung gemäß der vorliegenden Erfindung
sowie des Verfahrens gemäß der vorliegenden Erfindung kann in einer Sprachverfrem-
dung oder auch in einer Sprachverwürfelung liegen. Hierbei kann die P[hase]L[ocked]
10 L[oop] zum Beispiel dazu benutzt werden, um Sprache auf eine wechselnde Träger-
frequenz aufzumodulieren.

Zu diesem Zwecke sind die Trägerfrequenz als Eingangssignal und das D[igital]T[ime]
O[scillator]_inc[rement] gemeinsam so zu schalten, dass die P[hase]L[ocked]L[oop]
15 nicht ausrastet; die Modulation erfolgt am D[igital]T[ime]O[scillator]_inc[rement].

Weitere Anwendungen der vorliegenden Erfindung sind in der Medizintechnik zu
finden, wenn die P[hase]L[ocked]L[oop] gemäß der vorliegenden Erfindung zum
Beispiel auf die Herzfrequenz und/oder auf geringfügige Abweichungen zum
20 Aktivieren und zum Steuern eines Herzschrittmachers verwendet wird.

Ein weiteres Einsatzgebiet im Rahmen der Messtechnik ist in Geschwindigkeits-
messungen oder in Entfernungsmessungen mit Ultraschall zu sehen:

25 Bei Geschwindigkeitsmessungen wird der auftretende Dopplereffekt dazu benutzt, um
relative Geschwindigkeitsmessungen vorzunehmen. Mit Hilfe der P[hase]L[ocked]
L[oop] gemäß der vorliegenden Erfindung ist es möglich, die Auflösung mit Ultraschall
drastisch zu erhöhen, wobei zum Beispiel die Änderung des Inkrements die Messgröße
sein kann.

Bei Entfernungsmessungen ist dies die Phasenlage zwischen dem gesendeten Signal und dem empfangenen Signal. Hier kann das D[igital]T[ime]O[scillator]-Wort (Bezeichnung: "dto_fl[y]b[ack]") das Maß für die Entfernung sein, wenn die P[hase]L[ocked] L[oop] auf das Sendesignal gerastet hat und der Status des D[igital]T[ime]O[scillator]-
5 Worts beim Empfang des Echos gemessen wird.

Das P[hase]L[ocked]L[oop]-System gemäß der vorliegenden Erfindung wie auch das hierauf bezogene Arbeitsverfahren gemäß der vorliegenden Erfindung lassen sich überall dort anwenden, wo in einer digitalen Umgebung das Rasten auf ein nieder-
10 frequentes Signal benötigt wird oder wo eine sehr schmalbandige Filterung eines Eingangssignals gewünscht wird.

Anpassungen sind dann in der Regel nur an der Mittenfrequenz (Bezeichnung: "inc_nom") der P[hase]L[ocked]L[oop] vorzunehmen. Die eingebauten dynamischen
15 Parameter decken bereits einen breiten benutzbaren Bereich der P[hase]L[ocked]L[oop] ab; nur wenn noch niedrigere Eingangsfrequenzen und/oder noch langsamere Reaktionen auf das Eingangssignal mit Zeitkonstanten im Bereich von mehr als etwa einer Sekunde benötigt werden, sind das Filter des vorliegenden Systems und möglicherweise auch der D[igital]T[ime]O[scillator] anzupassen.

20

Wie bereits vorstehend erörtert, gibt es verschiedene Möglichkeiten, die Lehre der vorliegenden Erfindung in vorteilhafter Weise auszugestalten und weiterzubilden. Hierzu wird einerseits auf die dem Anspruch 1 sowie dem Anspruch 7 nachgeordneten Ansprüche verwiesen, andererseits werden weitere Ausgestaltungen, Merkmale und
25 Vorteile der vorliegenden Erfindung nachstehend unter anderem anhand der durch die Figuren 1 bis 8 veranschaulichten exemplarischen Implementierung gemäß zweier Ausführungsbeispiele näher erläutert.

Es zeigt:

30

- Fig. 1 in schematischer Darstellung ein erstes Ausführungsbeispiel für eine Schaltungsanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet;
- 5 Fig. 2 in schematischer Darstellung ein Ausführungsbeispiel für ein Schleifenfilter, das in der Schaltungsanordnung aus Fig. 1 implementiert ist;
- Fig. 3 in zweidimensionaler graphischer Darstellung (= als Funktion der Zeit t aufgetragene Frequenz f) das Funktionsprinzip eines Frequenzregelkreises, der in der
10 Schaltungsanordnung aus Fig. 1 implementiert ist;
- Fig. 4 in zweidimensionaler graphischer Darstellung (= als Funktion der Zeit t aufgetragener Verlauf, insbesondere Anwachsen, des Registers "DTO_reg") das Funktionsprinzip eines digitalen Rampen- oder Zeitoszillators, der in der
15 Schaltungsanordnung aus Fig. 1 implementiert ist;
- Fig. 5 in zweidimensionaler graphischer Darstellung (= als Funktion der Zeit t aufgetragenes Auftreten von Phasendurchläufen CS zweier Signale gegeneinander bei Phasensprüngen und bei Frequenzversetzungen) das Funktionsprinzip eines Frequenzdetektors, der in der Schaltungsanordnung aus Fig. 1
20 implementiert ist;
- Fig. 6 in F[inite]S[tate]M[achine]-Darstellung das Betriebsdiagramm des Frequenzdetektors aus Fig. 5;
- 25 Fig. 7 in schematischer Darstellung ein zweites Ausführungsbeispiel für eine Schaltungsanordnung gemäß der vorliegenden Erfindung, die nach dem Verfahren gemäß der vorliegenden Erfindung arbeitet; und
- 30 Fig. 8 in schematischer Darstellung ein Ausführungsbeispiel für einen Flankendetektor, der in der Schaltungsanordnung aus Fig. 7 implementiert ist.

Gleiche oder ähnliche Ausgestaltungen, Elemente oder Merkmale sind in den Figuren 1 bis 8 mit identischen Bezugszeichen versehen.

Im anhand der Figuren 1 bis 6 veranschaulichten ersten Ausführungsbeispiel der vorlie-
5 genden Erfindung ist eine Schaltungsanordnung 100 gezeigt, die nach dem Verfahren
gemäß der vorliegenden Erfindung arbeitet. Die Schaltungsanordnung 100 ist für den
Einsatz in allgemeinen Applikationen, wie etwa bei der Audio-, T[ele]V[ision]- und/oder
Videoverarbeitung, mit definierten Anforderungen für die Jitterleistung bestimmt (mit
"Jitter" werden in der Datenübertragung Phasenschwankungen und damit zeitliche
10 Änderungen von Signalfrequenzen bezeichnet, wobei es sich um Schwankungen von
fixierten Zeitpunkten, zum Beispiel vom Zeitpunkt des Übergangs von einer Signal-
amplitude auf eine andere, eines Digitalsignals handelt; Jitter kann bei allen Frequenzen
auftreten und auf Daten-Clocks zu Datenverlusten führen, wenn der Jitter zu Timing-
Violations führt; zusätzlich kann Jitter aber im Falle von Video-Clocks auch zu
15 Bildstörungen, zum Beispiel zu zeilenweisem Pixelversatz und somit zu ausgerissenen
Kanten führen; im Falle von Audioanwendungen kann Jitter zu Störsignalen und zu
schlechtem Signal-Rausch-Abstand führen).

Wie aus Figur 1 ersichtlich ist, ist ein im wesentlichen digitaler Phasenregelkreis 40 (=
20 sogenannter "digital P[hase]L[ocked]L[oop]") Hauptbestandteil der Schaltungsan-
ordnung 100. In diesem Zusammenhang ist im Hinblick auf die auf das PLL-System
bezogene Klassifizierung "im wesentlichen digital" zu bedenken, dass grundsätzlich
verschiedene Abstufungen von "digitalen" Phasenregelkreisen existieren:

25 So wurden in der Vergangenheit bereits Phasenregelkreise als digital bezeichnet, die
einen digitalen Phasendetektor enthalten und bei denen die restlichen Komponenten
analog sind; in anderen Druckschriften wurden Phasenregelkreise als digital bezeichnet,
die lediglich einen digitalen Phasendetektor sowie ein digitales Schleifenfilter
aufweisen.

Bei der vorliegenden Erfindung hingegen ist insofern ein digital ausgelegter Phasenregelkreis 40 gegeben, als Phaseninformationen mittels eines digitalen Phasendetektors 44 erfasst werden, ein Inkrementsignal 24 mittels eines mit dem vom Phasendetektor 44 ausgegebenen Ausgangssignal 56 beaufschlagten digitalen Schleifenfilters 30 ermittelt
5 wird und ein diskreter Rampen- oder Zeitoszillator 46 mit dem vom Schleifenfilter 30 ausgegebenen Inkrement 24 sowie mit einem Taktsignal 60 (= sogenannter "clkpll"-Systemtakt: Rechtecksignal mit zum Beispiel fünfzig Prozent Tastverhältnis; die vorliegende Erfindung funktioniert auch bei anderen prozentualen Tastverhältnissen) in der exemplarischen Größenordnung von etwa 10^2 Megahertz, zum Beispiel mit einem
10 Taktsignal von 54 Megahertz, beaufschlagt wird.

Da der digitale Phasenregelkreis 40 mit einem Systemtakt 52 in der exemplarischen Größenordnung von etwa 10^2 Megahertz, zum Beispiel mit einem Systemtakt von 54 Megahertz, betrieben wird, ist der hieraus resultierende Jitter durch Integration eines
15 externen Systems 42, 72 zu reduzieren. Es handelt sich hierbei um ein nachstehend noch im Detail erläutertes System 42, 72, das ein Signal in einer Subphase aus 64 (oder mehr) Subphasen des Systemtakts 52 verschieben kann und die Subphase eines Signals gegenüber dem Systemtakt 52 messen kann.

20 Der einzige analoge Teil der Schaltungsanordnung 100 ist eine Verzögerungsleitung (sogenannte "delay line"), die sowohl in einem Zeit/Digital-Wandler oder T[ime to]D[igital]C[onverter] 42 (als Messinstrument für Phasen) als auch in einem Digital/Zeit-Wandler oder D[igital to]T[ime]C[onverter] 72 (als Generator für Phasen) verwendet wird; erfindungsgemäß ist anstelle einer großen analogen Schaltung lediglich
25 diese analoge "delay line" des DTC-TDC auf den neuen Fertigungsprozess anzupassen; der Rest ist digital.

Hierbei bildet der Digital/Zeit-Wandler 72 (vgl. Figur 1), der als Digital/Analog-Wandler (= sogenannter D[igital to]A[nalog]C[onverter]) für Phasen ausgelegt werden
30 kann und der die ansteigende und/oder abfallende Flanke gegenüber dem Systemtakt 52

verschiebt (die Referenzflanke der P[hase]L[ocked]L[oop] kann in erfindungs- wesentlicher Weise sowohl steigend als auch fallend sein), das Gegenstück oder Komplementär zum Zeit/Digital-Wandler 42, der als Analog/Digital-Wandler (= sogenannter A[nalog to]D[igital]C[onverter]) für Phasen ausgelegt werden kann.

5

In diesem Sinne kann der PLL 40 als komplett digitaler Phasenregelkreis verstanden werden.

Soll nun mittels des digitalen Phasenregelkreises 40 ein ankommendes analoges

10

Eingangssignal 50 (sogenanntes "hin"-Signal im allgemeinen; sogenanntes "hsync"-Signal im hier exemplarisch betrachteten Falle einer Anwendung auf T[ele]V[ision]-Basis) verarbeitet werden, so dient dieses vorzugsweise horizontale Eingangssignal 50 (= h[orizontales]Sync[hronisations-]Signal 50 bei einer Fernsehapplikation) zunächst als Bezugs- oder Referenzsignal, an das der digitale Phasenregelkreis 40 ankoppelt bzw.

15

auf das der digitale Phasenregelkreis 40 einrastet.

Im Zusammenhang mit der vorbeschriebenen Möglichkeit einer Verwendung von "hin" anstelle von "hsync" als Eingangssignal können die T[ele]V[ision]-Signalverarbeitung und die Video-Signalverarbeitung ohnehin im wesentlichen als deckungsgleich

20

angesehen werden, das heißt die Bezeichnung des Eingangssignals ist nicht festgelegt. Wesentlich ist die Charakterisierung des Eingangssignals, das eine im Vergleich zum Clock-Signal niedrige Frequenz aufweist und als Bezugs- oder Referenz-Signal für die P[hase]L[ocked]L[oop] 40 dient.

25

Zum Ankoppeln bzw. zum Einrasten wird nicht nur die Phaseninformation nach Eintreffen einer ansteigenden Flanke des Eingangssignals 50 bzw. nach Eintreffen einer abfallenden Flanke des Eingangssignals 50 mittels des Phasendetektors 44 erfasst, sondern auch eben diese Phase des Eingangssignals 50 mittels des mit dem Systemtakt 52 (sogenannter "clk54"-Systemtakt: Rechtecksignal mit fünfzig Prozent Tastverhältnis)

30

in der Größenordnung von 54 Megahertz beaufschlagten Zeit/Digital-Wandlers 42 digitalisiert.

Im Ergebnis wird also

- die Phase des digitalen Rampenoszillators 46 in bezug auf das Eingangssignal 50 sowie
- die Subphase des Eingangssignals 50 in bezug auf den Clock des digitalen Rampenoszillators 46

gemessen, wobei im allgemeinen der digitale Rampenoszillator 46 und der digitale Schleifenfilters 30 unterschiedliche Clock-Frequenzen haben können.

Wie der Darstellung gemäß Figur 1 des weiteren entnehmbar ist, wird der Phasendetektor 44 mit dem zum Beispiel durch zusätzliche Phaseninformationen konstituierten Ausgangssignal 54 des Zeit/Digital-Wandlers 42 sowie mit einem den Status (des Registers) des digitalen Rampenoszillators 46 mit einer bestimmten Wortbreite repräsentierenden, als Rückkopplungssignal konstituierten ersten Ausgangssignal 62a (sogenanntes "dto_flb"-Signal oder "dto_flyback"-Signal) des diskreten Rampenoszillators 46 beaufschlagt.

In diesem Zusammenhang besteht der durch den Phasendetektor 44 bewerkstelligte Vorgang der Phasenmessung grundsätzlich aus zwei Teilen:

- eine Phasenmessung mit Pixelgenauigkeit wird vom Phasensignal "dto_fl[y]b[ack]" oder D[igital]T[ime]O[scillator]-Wort (= Bezugszeichen 62a) des diskreten Rampenoszillators 46 (= sogenannter D[iscrete]T[ime]O[scillator]) abgeleitet, indem der DTO-Status an der ansteigenden Referenzflanke des Eingangssignals 50 und/oder an der abfallenden Referenzflanke des Eingangssignals 50 abgetastet wird; und
- eine Phasenmessung mit Subtakt- bzw. Subpixelgenauigkeit wird aus dem DTO-Subpixelbereich an der ansteigenden Referenzflanke des Eingangssignals 50 und/oder an der abfallenden Referenzflanke des Eingangssignals 50 und aus dem Ausgangssignal 54 des T[ime to]D[igital]C[onverter]s 42 erzeugt.

Der Zeit/Digital-Wandler 42 ist ein Modul, das es ermöglicht, die Phase des Systemtakts 52 in eine bestimmte Anzahl, zum Beispiel in 64 (oder mehr) Subphasen zu unterteilen, etwa indem eine sogenannte Verzögerungsleitung oder "delay line" verwendet wird; im vorliegenden Ausführungsbeispiel der Figuren 1 bis 6 wird eine 64 Phasen-"delay line" eingesetzt; grundsätzlich gilt: je mehr Unterphasen in der Verzögerungsleitung vorgesehen sind, desto höher ist die Subpixel- bzw. Subtaktgenauigkeit.

Dies hat zur Folge, dass ein scheinbar um den Faktor 64 schnellerer Takt besteht, wobei die Aufgabe des T[ime to]D[igital]C[onverter]s 42 nun darin besteht, die Phasenlage des Signals 50 (mit ansteigender Flanke und/oder mit abfallender Flanke) zum Systemtakt 52 zu messen.

Realisiert ist das TDC-Modul 42 durch einen analogen Teil und durch einen digitalen Teil. Der analoge Teil des TDC-Moduls 42 ist für das Unterteilen des Systemtakts 52 in 64 Subphasen zuständig, wobei diese Aufteilung durch eine Verzögerungsregelschleife (sogenannte "delay locked loop") erfolgt, deren Prinzip insofern dem Prinzip einer PLL-Schaltung ähnelt, als der Systemtakt 52 auf die 69 gleiche Buffer aufweisende Verzögerungsleitung (sogenannte "delay line") gegeben wird. Die durch die Buffer bewerkstelligte Verzögerung wird durch eine strommäßige Ansteuerung eingestellt.

In diesem Zusammenhang ist der Unterschied zwischen einer P[hase]L[ocked]L[oop] und einer D[igital to]T[ime]C[onverter]/T[ime to]D[igital]C[onverter]-Kombination darin zu sehen, dass in der PLL die rückgekoppelte Verzögerungsleitung (sogenannte "delay line") als Oszillator verwendet wird, wohingegen im DTC/TDC nur eine Verwendung als Delayline vorgesehen ist, bei der Eingang und Ausgang miteinander verglichen werden.

Der jeweilige Ausgang des ersten Buffers und des 65. Buffers wird auf einen Phasenkomparator gegeben. Die Verzögerung bzw. die Phasendifferenz dieser Signale dient

zur weiteren strommäßigen Ansteuerung der Buffer und regelt somit die Verzögerungszeit. Die übrigen Buffer sind für die Anpassung an die restliche Logik erforderlich.

5 Zur Messung der Phasenlage des Eingangssignals 50 zum Systemtakt 52 wird das Signal 50 auf einen sogenannten Tally gegeben, der im TDC-Modul 42 integriert ist. Dieser Tally weist im wesentlichen Flip-Flops auf, die durch die Ausgänge der Buffer getaktet werden. Jede Subphase bildet nun den Takt eines Flop-Flops.

10 Das zu messende Signal 50 tastet die Ausgänge der Flip-Flops ab; diese Information gibt Aufschluss über die Phasenlage des Eingangssignals 50 zum Systemtakt 52 zueinander. Der auf diese Weise gemessene Wert wird im Digitalteil des TDC-Moduls 42 in eine sechs Bit-Binärzahl umgewandelt.

15 Im Ergebnis kann also die Subpixelgenauigkeit durch Erhöhen der Frequenz des Systemtakts 52 verbessert werden, indem der Takt in die Verzögerungsleitung gespeist wird, die die Subpixelinformation in einer Art Tally-Code enthält. Die Aufgabe des Zeit/Digital-Konverters 42 besteht darin, die binäre Subpixelphase aus dem Tally-Code zu errechnen, wenn das Referenzsignal ankommt (vgl. Marco C. Lammers, "64-tap Delay Locked Loop in CMOS18HLV technology for the ADOC project (Design Report)", Integrated Circuits Laboratory Advanced Systems and Application Labs
20 Philips Sound & Vision, Dokument-Nr. AR43/B682/ML, 1. August 2000).

Der Nutzen des Zeit/Digital-Wandlers 42 für den digitalen Phasenregelkreis 40 liegt also im Ausnutzen des künstlich erzeugten "höheren" Systemtakts (sogenannter "system
25 clock") sowie in der Möglichkeit, Signale in ihrer Phase verschieben zu können.

Die Pixelphase sowie die Subpixelphase werden zum Beispiel durch das gewichtete Addieren beider Werte kombiniert und dem Schleifenfilter 30 zugeführt, das das Inkrementsignal "inc" (= Bezugszeichen 24) für den diskreten Rampenoszillator
30 (sogenannter D[iscrete]T[ime]O[scillator]) erzeugt.

Grundsätzlich können für das Schleifenfilter 30 mehrere Filtervarianten verwendet werden. Um der Forderung eines getrennt einstellbaren Regelverhaltens hinsichtlich der (Abkling-)Zeitkonstanten $(2\omega_n\xi)^{-1}$ und hinsichtlich der Dämpfung ξ gerecht zu werden, wird ein Schleifenfilter 30 mit P[roportional]I[ntegral]-Regelverhalten gewählt, wobei
5 in Erwägung gezogen wird, dass ein P[roportional]I[ntegral]-Regler hinsichtlich seines Regelverhaltens ein Optimum darstellt:

Ein reiner I[ntegral]-Regler ändert nur langsam die Stellgröße (vgl. Jan Lunze, "Regelungstechnik 1", Springer-Verlag, 1996); somit kann ein I[ntegral]-Regler auf
10 große Regelabweichungen nicht schnell reagieren und neigt zum Schwingen.

Ein reiner P[roportional]-Regler reagiert hingegen sehr schnell auf Regelabweichungen, wobei der Regelkreis zu großen Schwingungen neigen kann (vgl. Jan Lunze, "Regelungstechnik 1", Springer-Verlag, 1996), wenn es zu einer Phasendrehung um
15 etwa 180 Grad kommt. Eine derartige Phasendrehung erfolgt jedoch nur, wenn im Regelkreis ein "Delay", das heißt eine Verschiebung oder Verzögerung in der Größenordnung der Referenzfrequenz auftritt.

Dies wird jedoch beim Design des Regelkreises berücksichtigt und in zuverlässiger
20 Weise vermieden; ein P[roportional]-Regler hat also erfahrungsgemäß nicht das Problem, dass er zum Schwingen neigt, denn es kommt im Normalfall nicht zu einer hierfür notwendigen Phasendrehung um etwa 180 Grad.

Das grundlegende Problem des P[roportional]-Reglers ist vielmehr der verbleibende
25 Regelfehler, der von der Eingangsgröße - in diesem Falle von der Eingangsfrequenz - abhängt; zusätzlich kann ohne einen I[ntegral]-Anteil des Systems bei einem reinen P[roportional]-Regler eine bleibende Regelabweichung entstehen, wenn die Eingangsgröße vom Mittenwert des P[roportional]-Reglers abweicht.

Werden nun P[roportional]-Regler und I[ntegral]-Regler vereint, so ergibt sich im Ergebnis ein Regler, der durch seinen P[roportional]-Anteil schnell auf Änderungen der Regelgrößen reagieren kann und der seine Stellgröße durch den I[ntegral]-Anteil sowie durch den P[roportional]-Anteil kontinuierlich ändern kann. P[roportional]I[ntegral]-
5 Regler können so ausgelegt werden, dass die Regelabweichung sehr klein ist oder sogar verschwindet; die Regelabweichung ist jedoch nicht automatisch Null.

Das Schleifenfilter 30 weist gemäß der Darstellung in Figur 2 ein erstes Proportionalglied 300 zum Multiplizieren des Ausgangssignals 56 des Phasendetektors 44 mit einem
10 Proportionalbeiwert oder Proportionalfaktor K_p auf. Hinter dem Proportionalglied 300 zweigt sich der Pfad innerhalb des Schleifenfilter 30 auf, und zwar in einen (in Figur 2 oberen) Proportionalpfad 320 und in einen (in Figur 2 unteren) Integralpfad 322.

Der Integralpfad 322 weist zunächst ein zweites Proportionalglied 304 zum Multiplizieren des Ausgangssignals 330 des ersten Proportionalglieds 300 mit dem
15 Proportionalbeiwert oder Proportionalfaktor K_p und sodann ein dem zweiten Proportionalglied 304 nachgeschaltetes Integralglied 306 zum Multiplizieren des Ausgangssignals 340 des zweiten Proportionalglieds 304 mit einem Integralbeiwert oder Integralfaktor K_i auf.

20 Die Anordnung des ersten Proportionalglieds 300, des zweiten Proportionalglieds 304 und des Integralglieds 306 gemäß Figur 2 ist derart gewählt, dass das Schleifenfilter 30 den gestellten Anforderungen genügt, nämlich der getrennten Einstellbarkeit des Dämpfungsfaktors ξ und der Abklingzeitkonstanten $(2 \cdot \omega_n \cdot \xi)^{-1}$:

25 Wie nachstehend anhand mathematischer Gleichungen noch gezeigt werden wird, ist die Zeitkonstante $(2 \cdot \omega_n \cdot \xi)^{-1}$ nur vom Proportionalbeiwert oder Proportionalfaktor K_p abhängig und genügt damit den gestellten Anforderungen. Damit der Dämpfungsfaktor ξ hingegen nicht sowohl vom Integralbeiwert (= Integralfaktor K_i) als auch vom
30 Proportionalbeiwert (= Proportionalfaktor K_p), sondern nur vom Integralbeiwert (= Integralfaktor K_i) abhängig ist, wurde der Integralpfad 322 des Schleifenfilters 30 zunächst um den Proportionalfaktor K_p^2 ergänzt.

Durch Verlagern (= "vor die Klammer ziehen") des dem ersten Proportionalglied 300 zugeordneten Verstärkungsfaktors K_p in den Eingangspfad, das heißt vor den Punkt 302 der Verzweigung in Proportionalpfad 320 und Integralpfad 322 (vgl. Figur 2), lässt sich
 5 das Schleifenfilter 30 noch vereinfachen. Bei der digitalen Umsetzung des Schleifenfilters 30 werden auf diese Weise Register eingespart. Für das derart erweiterte Schleifenfilter 30 ergeben sich die weiter unten in der Beschreibung aufgeführten Gleichungen einschließlich der Übertragungsfunktion $h(s)$.

- 10 Der Dämpfungsfaktor $\xi = 0,5 \cdot (K_D \cdot K_O \cdot T / K_i)^{1/2}$ und die (Abkling-)Zeitkonstante $(2 \cdot \omega_n \cdot \xi)^{-1} = (K_D \cdot K_O \cdot K_p)^{-1}$ sind nun jeweils nur noch von einem Parameter abhängig, nämlich
- der Dämpfungsfaktor ξ vom Integralbeiwert (= Integralfaktor) K_i und
 - die Zeitkonstante $(2 \cdot \omega_n \cdot \xi)^{-1}$ vom Proportionalbeiwert (= Proportionalfaktor) K_p .
- Somit lassen sich diese beiden Kenngrößen mittels des Schleifenfilters 30 getrennt über
 15 den Integralbeiwert (= Integralfaktor) K_i und über den Proportionalbeiwert (= Proportionalfaktor) K_p einstellen.

Zum Integrieren des Ausgangssignals 342 des Integralglieds 306 ist ein Integrator vorgesehen, der sich aus den Komponenten 308, 310, 312 zusammensetzt und im Detail

- 20 - einen dritten Addierer 308 zum Addieren des Ausgangssignals 342 des Integralglieds 306 mit dem Ausgangssignal 58 eines Frequenzdetektors 48 und mit dem rückgekoppelten Ausgangssignal 350 des Integrators 308, 310, 312,
- einen Integralwertbegrenzer 310 (--> Symbol i-clip) zum Begrenzen des Ausgangssignals 346 des dritten Addierers 308 sowie
- 25 - ein Verzögerungsglied 312 (--> Symbol z^{-1})
- aufweist, wobei der Integrator im wesentlichen durch das rückgekoppelte Verzögerungsglied 312 realisiert wird.

Im Unterschied zur Vorgehensweise gemäß der Druckschrift US 6 320 574 B1 ist es bei
 30 der vorliegenden Erfindung vorteilhaft, einen proportionalen Weg (= Proportionalpfad 320) und einen integralen Weg (= Integralpfad 322) separat angeordnet zu haben und

den Integralanteil mit dem Frequenzdetektor 48 zu aktualisieren, was durch Beaufschlagen des im Integralpfad 322 implementierten dritten Addierers 308 mit dem Ausgangssignal 58 des Frequenzdetektors 48 erfolgt.

- 5 Andernfalls (vgl. Druckschrift US 6 320 574 B1) variiert die Einkopplungs- bzw. Einrastcharakteristik in Abhängigkeit von der jeweiligen Richtung, mit der die Einkopplung bzw. Einrastung erfolgt, wobei diese Richtung von Frequenzen höher als die Referenzfrequenz oder von Frequenzen niedriger als die Referenzfrequenz her gegeben sein kann. Der "Gain" des intrinsischen Proportionalpfads 320 verringert in
10 diesem Falle (vgl. Druckschrift US 6 320 574 B1) den Verstärkungsfaktor des Frequenzdetektors 48, so dass ein unabhängiges Einstellen nicht möglich ist.

Wie aus der Darstellung der Figur 2 des weiteren hervorgeht, werden das Ausgangssignal 330 des Proportionalpfads 320 und das Ausgangssignal 350 des Integralpfads 322
15 in einem diesen beiden Pfaden 320, 322 nachgeschalteten ersten Addierer 314 aufaddiert.

Diesem ersten Addierer 314 ist ein Frequenzwertbegrenzer 316 (--> Symbol f-clip) zum Begrenzen der Frequenz des Ausgangssignals 360 des ersten Addierers 314 nachgeschaltet;
20 dem Frequenzwertbegrenzer 316 wiederum ist ein zweiter Addierer 318 zum Addieren des Ausgangssignals 362 des Frequenzwertbegrenzers 316 mit einem nominalen Inkrementsignal "inc_nom" (= Bezugszeichen 364) nachgeschaltet.

Anhand Figur 2 ist des weiteren das erfindungswesentliche Merkmal veranschaulicht,
25 dass das Ausgangssignal 360 des ersten Addierers 314 in Abhängigkeit vom jeweiligen Betriebsmodus "pll_mode" (= Bezugszeichen 26) des Phasenregelkreises 40

- entweder wie vorstehend dargelegt
 - oder durch Beaufschlagen des Integralpfads 322 mit dem Ausgangssignal "i_freq" (= Bezugszeichen 22) der Adaptiereinheit 14 bei gleichzeitigem
30 Beaufschlagen des Proportionalpfads 320 mit mindestens einem verschwindenden Signal "0" (= Bezugszeichen 332)
- gebildet wird.

Die durch den Betriebsmodus "pll_mode" (= Bezugszeichen 26) des digitalen Phasenregelkreises 40 definierte Entscheidung, welche der beiden Varianten gewählt wird, wird mittels dreier sogenannter Entscheidungseinheiten 324, 326, 328 umgesetzt,

- 5 - wobei die erste Entscheidungseinheit 324 in den Proportionalpfad 320 geschaltet ist, so dass
 - der erste, in Figur 2 untere Eingang 324a der ersten Entscheidungseinheit 324 mit dem Ausgangssignal 330 des ersten Proportionalglieds 300 (= erste Variante) oder
 - 10 -- der zweite, in Figur 2 obere Eingang 324b der ersten Entscheidungseinheit 324 mit dem verschwindenden Signal 332 (= zweite Variante) beaufschlagbar ist,
 - wobei die zweite Entscheidungseinheit 326 in den Integralpfad 322 geschaltet ist, so dass
 - 15 -- der erste, in Figur 2 untere Eingang 326a der zweiten Entscheidungseinheit 326 mit dem Ausgangssignal 342 des Integralglieds 306 (= erste Variante) oder
 - der zweite, in Figur 2 obere Eingang 326b der zweiten Entscheidungseinheit 326 mit dem Ausgangssignal 22 der Adaptiereinheit 14 (= zweite Variante) beaufschlagbar ist und
 - 20 - wobei die dritte Entscheidungseinheit 328 zwischen den Frequenzdetektor 48 und den dritten Addierer 308 geschaltet ist, so dass
 - der erste, in Figur 2 untere Eingang 328a der dritten Entscheidungseinheit 328 mit dem Ausgangssignal 58 des Frequenzdetektors 48 (= erste Variante) oder
 - der zweite, in Figur 2 obere Eingang 328b der dritten Entscheidungseinheit 328 mit
 - 25 einem verschwindenden Signal 352 (= zweite Variante) beaufschlagbar ist.

Dementsprechend ist in Abhängigkeit vom Betriebsmodus "pll_mode" (= Bezugszeichen 26) des digitalen Phasenregelkreises 40

- 30 - das aus dem Ausgang 324c der ersten Entscheidungseinheit 324 kommende Ausgangssignal 334

- entweder das Ausgangssignal 330 des ersten Proportionalglieds 300 (= erste Variante) oder
- das verschwindende Signal 332 (= zweite Variante),
- das aus dem Ausgang 326c der zweiten Entscheidereinheit 326 kommende Ausgangssignal 344
- entweder das Ausgangssignal 342 des Integralglieds 306 (= erste Variante) oder
- das Ausgangssignal 22 der Adaptiereinheit 14 (= zweite Variante) und
- das aus dem Ausgang 328c der dritten Entscheidereinheit 328 kommende Ausgangssignal 354
- 10 -- entweder das Ausgangssignal 58 des Frequenzdetektors 48 (= erste Variante) oder
- das verschwindende Signal 352 (= zweite Variante).

Des weiteren wird innerhalb des digitalen Phasenregelkreises 40 der Frequenzdetektor 48 mit dem Eingangssignal 50 (Bezeichnung "hin" im allgemeinen Falle bzw. Bezeichnung "hsync" im speziellen T[ele]V[ision]-Falle) sowie mit einem rückgekoppelten zweiten Ausgangssignal "dto_co" (= Ausführsignal oder Überlaufimpuls "dto_c[arry_]o[ut]; Bezugszeichen 64) des diskreten Rampenoszillators 46 beaufschlagt; der Frequenzdetektor 48 gibt seine Frequenzinformationen 58 an das Schleifenfilter 30 aus, das in erfindungswesentlicher Weise nicht nur dem digitalen Phasenregelkreis 40, sondern auch einer Frequenzregelschleife 10 zugeordnet ist (vgl. Figur 1).

Diese Frequenzregelschleife 10 weist einen Inkrementbaustein 12 (= Inkrementerzeugungseinheit " Δ inc") auf, der mit einem Eingangssignal in Form eines Steuersignals "inc_in" (= Bezugszeichen 16) beaufschlagbar ist. Des weiteren ist in der Frequenzregelschleife 10 eine mit dem Inkrementbaustein 12 in Verbindung 20 stehende, mit dem vom Schleifenfilter 30 ausgegebenen Inkrement 24 beaufschlagbare, zum Bereitstellen eines adaptiven Algorithmus vorgesehene und ein Ausgangssignal "i_freq" (= Bezugszeichen 22) ausgebende Adaptiereinheit 14 zwischen den Inkrementbaustein 12 und das Schleifenfilter 30 geschaltet.

Die Frequenzregelschleife 10 wird aktiv, wenn die Phasenschleife via "pll_mode" (= Bezugszeichen 26) außer Betrieb gesetzt wird (vgl. Figur 1). Der Zweck der Frequenzregelschleife 10 besteht darin, einen glatten und reibungslosen Übergang ohne großen Sprung von der aktuellen Betriebsfrequenz zu einer Frequenz zu ermöglichen, die über ein Steuersignal "inc_in" (= Eingangssignal 16 des Inkrementbausteins 12) eingestellt wird.

In der vorliegenden Anwendung ist der Eingang stabil. Demzufolge kann der durch die Adaptiereinheit 14 bereitgestellte Algorithmus zum Anpassen des Inkrements "inc" (= Bezugszeichen 24) relativ einfach sein. Das Inkrement wird in jeder Periode T_{DFO} des diskreten Rampenoszillators 46 durch ein bestimmtes Δinc der Inkrementserzeugungseinheit 12 gesteigert oder vermindert.

In der vorliegenden Anwendung wird die Größe von Δinc von einer "L[ook]U[p]"-T[abelle] bestimmt und ist nur vom Wert "ki_off" (= erstes Eingangssignal 18 der Adaptiereinheit 14) abhängig, der lediglich einen Steuerungseingang darstellt.

Wenn der Unterschied zwischen der Zielfrequenz f_z und der aktuellen Frequenz kleiner als der durch Δinc beaufschlagte Frequenzsprung ist, erfolgt ein letzter kleinerer (Frequenz-)Schritt Δf_s , um die Zielfrequenz f_z zu erreichen (vgl. Figur 3).

Wenn sich der Inkrementwert dynamisch ändert, weil die Zielfrequenz f_z zeitabhängig ist, ist es auch möglich, den durch die Adaptiereinheit 14 bereitgestellten Algorithmus zum Anpassen des Inkrements "inc" durch einen Steueralgorithmus, zum Beispiel durch einen P[roportional]I[ntegral]-Steueralgorithmus, zu ersetzen.

Außerhalb des digitalen Phasenregelkreises 40 wird ein Signalteiler 70 nicht nur mit dem vom Schleifenfilter 30 zur Verfügung gestellten zeitlichen Inkrementsignal "inc" (= Bezugszeichen 24), sondern auch mit dem Ausführ- bzw. Überlaufsignal

"dto_c[arry_]o[ut]" (= Bezugszeichen 64) des digitalen Rampenoszillators 46 sowie mit dem Statussignal "dto_fl[y]b[ack]" oder D[i]gitalT[ime]O[scillator]-Wort (= Bezugszeichen 62b) des digitalen Rampenoszillators 46 beaufschlagt.

- 5 Indem mittels des (Signal-)Teilers 70 das zweite Ausgangssignal 64, das heißt der auch für den Frequenzdetektor 48 benötigte carry-Impuls oder Trägerimpuls
"dto_c[arry_]o[ut]" (= Bezugszeichen 64) des diskreten Rampenoszillators 46 durch das zeitliche Inkrement "inc" (= Bezugszeichen 24) des Schleifenfilters 30 zum Zeitpunkt des Überlaufwerts "dto_c[arry_]o[ut]" (= Bezugszeichen 64) des diskreten Rampen-
10 oszillators 46 geteilt wird, wird die digitale Phase des Ausgangstaktsignals
"dto_overflow" (= Bezugszeichen 80) ermittelt.

- Es macht im übrigen für die vorliegende Erfindung keinen Unterschied, ob ein sogenannter "early value" (= Frühwert oder früher Wert) oder ein sogenannter "late
15 value" (= Spätwert oder später Wert) für die Phase des Ausführ-/Überlaufsignals
"dto_c[arry_]o[ut]" (= Bezugszeichen 64) berechnet wird. Ein "early value" beschreibt die "dto_c[arry_]o[ut]"-Phase in bezug auf die nächste System-Clock-Phase, ein "late value" in bezug auf den vorhergehenden System-Clock-Cycle; unter Umständen besteht der Unterschied in einem um einen Takt früher oder später herausgegebenen
20 Ausgangssignal.

- Wie der Darstellung gemäß Figur 1 des weiteren entnehmbar ist, wird das digitale Ausgangstaktsignal (= Taktphase 80) dem mit dem Überlaufsignal "dto_c[arry_]o[ut]" (= Bezugszeichen 64) des Rampenoszillators 46 beaufschlagten Digital/Zeit-Wandler
25 72 zugeführt. Der D[i]gital to T[ime] C[onverter] 72 verzögert das Überlaufsignal
"dto_c[arry_]o[ut]" (= Bezugszeichen 64) des Rampenoszillators 46 mittels der Taktphase 80, damit der Ausgangstakt 82 Subtakt- bzw. Subpixelgenauigkeit erreicht.

- Gemäß einer erfindungswesentlichen Weiterbildung können der Zeit/Digital-Wandler
30 42 und der Digital/Zeit-Wandler 72 ein gemeinsames TDC/DTC-Modul bilden, das dieselbe Verzögerungsleitung bzw. Verzögerungsstrecke (sogenannte "delay line")

benutzt (vgl. Marco C. Lammers, "64-tap Delay Locked Loop in CMOS18HLV technology for the ADOC project (Design Report)", Integrated Circuits Laboratory Advanced Systems and Application Labs Philips Sound & Vision, Dokument-Nr. AR43/B682/ML, 1. August 2000).

5

Das analoge zeitabhängige Ausgangssignal 82, und hierbei insbesondere der Ausgangstakt bzw. die Ausgangsfrequenz des Analogsignals 82 kann mittels eines dem Digital/Zeit-Wandler 72 nachgeschalteten analogen Phasenregelkreises 74 vervielfacht werden.

10

Zum Abschluss der Schaltung 100 läuft das Ausgangssignal 84 des analogen Phasenregelkreises 74 auf einen Frequenzgenerator/-teiler "1/n" (= Bezugszeichen 76) auf, mittels dessen vier unterschiedliche Ausgangstaktsignale 86a, 86b, 86c, 86d erzeugt werden, die im rechten unteren Teil von Figur 1 exemplarisch als

- 15 - "clk54" (= Bezugszeichen 86a; nicht identisch mit dem Systemtakt 52),
- "clk27" (= Bezugszeichen 86b),
- "clk13M5" (= Bezugszeichen 86c) und
- "hd" (= Bezugszeichen 86d)

bezeichnet werden können.

20

Der Betrieb des digitalen oder diskreten Rampenoszillators 46 (= sogenannter "D[igital]T[ime]O[scillator]" oder "D[iscrete]T[ime]O[scillator]") wird nachstehend anhand Figur 4 veranschaulicht.

- 25 Der DTO 46 ist ein Zähler, der in einzelnen, durch das Inkrement 24 definierten Schritten nach oben zählt. Hierbei ist der Wertebereich des Rampenoszillators 46 zum Beispiel vom Minimalwert "null" bis zum Maximalwert "dto_max" begrenzt. Wenn der Maximalwert "dto_max" erreicht ist, wird vom Rampenoszillator 46 das Überlaufsignal "dto_c[arry_]o[ut]" (= Bezugszeichen 64) erzeugt, dessen Wert für eine Periode "eins"
- 30 beträgt.

Wie aus Figur 4 ersichtlich ist, stellt der DTO-Status bei jedem Taktzyklus die Phase eines idealen Dreiecksignals zum Zeitpunkt des Taktereignisses dar. Demzufolge kann die Frequenz f_{DTO} des DTO-Signals errechnet werden zu

$$f_{\text{DTO}} = f_{\text{clk}} \cdot \frac{\text{inc}}{\text{dto_max}},$$

- 5 wobei f_{clk} = Frequenz des Taktsignals 52,
 inc = Inkrement 24 des Schleifenfilters 30 und
 dto_max = Maximalwert des Wertebereich des Rampenoszillators 46.

- Der Verstärkungsfaktor K_O des digitalen oder diskreten Rampenoszillators 46 ist durch
 10 die mit dem Faktor 2π multiplizierte erste Ableitung der Frequenz f_{DTO} des DTO-Signals nach dem Inkrement 24 gegeben:

$$K_O = 2\pi \cdot \frac{\partial f_{\text{DTO}}}{\partial \text{inc}} = 2\pi \cdot \frac{f_{\text{clk}}}{\text{dto_max}}$$

- Der Verstärkungsfaktor K_D des Phasendetektors 44 entspricht der Auflösung des
 15 Phasendetektors 44:

$$K_D = \frac{\text{dto_max}}{2\pi}$$

- Mit diesen Informationen kann die in Abhängigkeit von der bei Laplace-Transformation auftretenden Variablen s gegebene, das dynamische Verhalten von geschlossenen
 20 Regelsystemen für Phasensignale beschreibende (Phasen-)Übertragungsfunktion $h(s)$ errechnet werden zu

$$h(s) = \frac{2\omega_n \xi s + \omega_n^2}{s^2 + 2\omega_n \xi s + \omega_n^2},$$

- wobei sich aus der Kenngröße Eigen(kreis)frequenz $\omega_n/2\pi = K_p \cdot (K_D \cdot K_O \cdot K_i/T)^{1/2}/2\pi$
 und
 25 aus der Kenngröße Dämpfungsfaktor $\xi = 0,5 \cdot (K_D \cdot K_O \cdot T/K_i)^{1/2}$
 die Kenngröße Zeitkonstante $(2\omega_n \xi)^{-1} = (K_D \cdot K_O \cdot K_p)^{-1}$ ergibt.

Anzumerken ist, dass der Parameter T einer Periode des Eingangssignals 50 entspricht und sich in einer Größenordnung von beispielsweise etwa 25 Mikrosekunden bewegt, denn $1/T =$ vierzig Kilohertz entspricht in etwa der Mitte der Bandbreite, auf die der digitale Phasenregelkreis 40 eingekoppelt bzw. eingerastet werden soll; selbstverständ-
5 lich funktioniert die Schaltung auch bei Frequenzen, die deutlich höher oder niedriger als vierzig Kilohertz sind.

Durch den Term $s^2 + 2\omega_n \xi s + \omega_n^2$ ist der normalisierte Nenner der (Phasen-)Übertragungsfunktion $h(s)$ gegeben, denn in der Regelungstechnik ist es üblich, die Übertra-
10 gungsfunktion in normalisierter Form zu notieren (vgl. Roland E. Best, "Theorie und Anwendung des Phase Locked Loop", AT-Verlag, 1993).

Das Schleifenfilter 30 ist ereignisabhängig vom Eingangssignal "hin" (= Bezugszeichen 50) bzw. vom T[ele]V[ision]-Eingangssignal "hsync". Wenn dieses insbesondere
15 horizontale (Synchronisations- oder Zeilen-)Signal 50 zum Beispiel infolge Abschalten der Quelle oder infolge Herausziehen des Video-Scart-Steckers fehlt, wird die Ausgangsfrequenz automatisch gehalten ("eingefroren"), denn es erfolgt dann ja keine Aktualisierung des Schleifenfilters 30.

20 Weil die Schaltungsanordnung 100 und insbesondere der Phasenregelkreis 40 digital ausgelegt ist, ist die erzeugte Ausgangsfrequenz in diesem Falle stabil wie bei einem Kristalloszillator; dies bedeutet, dass es - im Unterschied zu analog ausgelegten Systemen gemäß dem Stand der Technik - bei der vorliegenden Erfindung keine Verschiebungen oder dergleichen, wie etwa "leakage", gibt.

25 Der Überlaufwert 64 des digitalen Rampenoszillators 46 und der Inkrementwert 24 des Schleifenfilters 30 werden zur Taktphase kombiniert, indem der Überlaufwert 64 in der Teilereinheit 70 durch den Inkrementwert 24 geteilt wird. Dies wird nicht nur anhand Figur 1, sondern auch anhand Figur 4 veranschaulicht, indem das Zeitintervall zwischen
30 dem letzten Takt, bevor der Überlauf erfolgt, und dem Ende der virtuellen DTO-Periode als ϕ -Takt gekennzeichnet wird; dies wird auch als Frühwert oder als früher Wert (sogenannter "early value") bezeichnet.

Anstelle des Frühwerts oder frühen Werts (sogenannter "early value") kann auch der Spätwert oder späte Wert (sogenannter "late value") verwendet werden, der durch das Zeitintervall zwischen dem Ende der virtuellen DTO-Periode und dem folgenden

5 Taktzyklus gegeben ist.

Der Betrieb des digitalen Frequenzdetektors 48 wird nachstehend anhand der Figuren 5 und 6 veranschaulicht.

10 Die verwendeten Zeitkonstanten sind von der Größenordnung Millisekunden bis Sekunden; dies bedeutet, dass ein Einkoppeln bzw. Einschwingen (im Sinne von "settling") des digitalen Phasenregelkreises 40 sogar innerhalb des "pull in"-Bereichs einiges an Zeit erfordert (vgl. Roland E. Best, "Phase Locked Loop", McGraw-Hill Book Company, 1999). Es kann sogar der Fall sein, dass die digitale Phasenregel-

15 schleife 40 gar nicht eingekoppelt wird, wenn die Eingangsfrequenz außerhalb des "pull in"-Bereichs liegt.

Der Frequenzdetektor 48 ist nun in die Schaltungsanordnung 100 gemäß Figur 1 eingebaut, um den "pull in"-Bereich auszudehnen und um die "pull in"-Prozedur zu

20 beschleunigen.

Grundsätzlich ist im Hinblick auf den Frequenzdetektor 48 zu bedenken, dass mit den zahlreichen Einstellmöglichkeiten für die Abklingzeitkonstante $(2 \cdot \omega_n \cdot \xi)^{-1}$ sowie für die Dämpfungskonstante ξ der digitalen Phasenregelschleife 40 auch eine Änderung der

25 Bandbreite verbunden ist, innerhalb derer ein Einkoppel- bzw. Einrastvorgang möglich ist. In Abhängigkeit von der Einstellung, der Frequenzlage und der Phasenlage der Eingangssignale und der Ausgangssignale zueinander erfolgt ein Einkoppel- bzw. Einrastvorgang sofort, nach vielen Perioden oder gar nicht.

Zum Gewährleisten eines sicheren Einrastens in allen Einstellungen ist der Einsatz des Frequenzdetektors 48 angezeigt. Ein weiterer wichtiger Nutzen des Frequenzdetektors 48 besteht in der Beschleunigung des Einkoppel- bzw. Einrastvorgangs. Hinsichtlich der Arbeitsweise sowie des Prinzips des Frequenzdetektors 48 erscheint bemerkenswert,
5 dass der Frequenzdetektor 48 vorzugsweise im Hintergrund aktiv ist und das Eingangssignal sowie das Ausgangssignal des digitalen Phasenregelkreises 40 überwacht.

Wie aus Figur 5 hervorgeht, zählt der Frequenzdetektor (= Bezugszeichen 48) Phasendurchläufe von zwei Signalen gegeneinander (vgl. Figur 5: sogenannte "cycle slips" CS; Phasensprünge oder Zyklusschwankungen sollen keinen Einfluss haben), denen die
10 Phasenschleife des digitalen Phasenregelkreises 40 zu folgen versuchen würde. Wenn der Verstärkungsfaktor des Frequenzdetektors 48 größer als der Verstärkungsfaktor der Phasenschleife ist, überlagert der Frequenzdetektor die Phasenschleife.

15 Das Funktionsprinzip des Frequenzdetektors 48 wird hierbei anhand der Figuren 5 und 6 erklärt:

Unter der Annahme,

- dass die Frequenz der Eingangsphase des horizontalen Zeilensynchronsignals
20 "hsync" bzw. bei anderen Applikationen des allgemeinen Signals "hin" stabil ist und dass sich die Frequenz des auch als Rückkopplungssignal konstituierten zweiten Ausgangssignals 64 (sogenanntes "dto_c[arry_]o[ut]"-Signal) des diskreten Rampenoszillators 46 ändert oder
- dass sich die Frequenz der Eingangsphase des horizontalen Zeilensynchronsignals "hsync" bzw. bei anderen Applikationen des allgemeinen Signals "hin"
25 ändert und dass die Frequenz des auch als Rückkopplungssignal konstituierten zweiten Ausgangssignals 64 (sogenanntes "dto_c[arry_]o[ut]"-Signal) des diskreten Rampenoszillators 46 stabil ist,

zeigen Fall [a] und Fall [b] in Figur 5 einen einfachen Phasensprung in beide
30 Richtungen.

Hierbei handelt es sich um einen realen Phasendurchlauf CS:

- im Fall [a] treten zwei "dto_c[arry_]o[ut]"-Pulse zwischen zwei "hin"-Flanken, im speziellen zwischen zwei "hsync"-Flanken, auf; dies bedeutet, dass die "dto_c[arry_]o[ut]"-Signalfrequenz zeitweise zu hoch ist;
- 5 - im Fall [b] tritt kein "dto_c[arry_]o[ut]"-Puls zwischen zwei "hin"-Flanken, im speziellen zwischen zwei "hsync"-Flanken, auf; dies bedeutet, dass die "dto_c[arry_]o[ut]"-Signalfrequenz zeitweise zu niedrig ist.

Sowohl im Fall [a] als auch im Fall [b] ist die Frequenz nach dem Phasendurchlauf CS dieselbe wie zuvor und ist konstant; demzufolge tritt sowohl im Fall [a] als auch im Fall
10 [b] kein weiterer Phasendurchlauf CS auf.

In diesem Zusammenhang verursacht ein Phasensprung einen Phasendurchlauf CS, wenn der Phasensprung den Phasenoffset zwischen der Eingangsphase (= Bezeichnung "hin" im Falle eines allgemeinen Signals für verschiedene Applikationen der
15 Schaltungsanordnung 100 sowie des zugeordneten Verfahrens; spezielle Bezeichnung "hsync" im Falle eines horizontalen Zeilensynchronsignals) und der Feedbackphase (= Bezeichnung "dto_c[arry_]o[ut]") übersteigt. Wenn also ein verschwindender Phasenoffset vorliegt, kann zwischen jeder Phasenmessung ein Phasendurchlauf oder "cycle slip" CS erfolgen bzw. vorliegen.

20

Der Fall [c] in Figur 5 und der Fall [d] in Figur 5 stellen eine Situation mit nicht-verschwindendem Frequenzoffset dar. Hier ist die Frequenz konstant, und die Phasendurchläufe CS erfolgen in mehr oder minder konstanten Zeitintervallen.

- 25 Für ein bestimmtes Frequenzoffset erfolgen alle Phasendurchläufe CS in derselben Richtung. Im Fall [c] erfolgen Phasendurchläufe CS von der gleichen Art wie im Fall [a], denn die Ausgangsfrequenz ist zu hoch. Im Fall [d] erfolgen Phasendurchläufe CS von der gleichen Art wie im Fall [b], denn die Ausgangsfrequenz ist zu niedrig.

30

Zu bedenken ist in diesem Zusammenhang jedoch, dass sich die Situation unter realen Bedingungen nicht so konstant wie in Figur 5 darstellt; gleichwohl deuten zwei Phasendurchläufe CS in dieselbe Richtung auf einen Frequenzoffset zwischen Eingangsfrequenz und Ausgangsfrequenz hin.

5

Diese Erkenntnis wird im Frequenzdetektor 48 verwendet. Der Betrieb des Frequenzdetektors 48 wird anhand des F[inite]S[tate]M[achine]-Diagramms gemäß Figur 6 bildlich dargestellt:

- 10 Der Frequenzdetektor 48 weist einen Phasendurchlaufzähler (sogenannter "cycle slip counter": Bezeichnung "slip_cnt") auf, der die Anzahl "ha_pos_edge" der positiven "ha"- (= "hin"-, insbesondere "hsync"-)Flanken sowie die Anzahl der positiven "dto_fl[y]b[ack]"-Flanken zählt. Wenn eine positive "ha"- (= "hin"-, insbesondere "hsync"-)Flanke vorliegt, so wird der Zählerinhalt "slip_cnt" um den Wert 1 erniedrigt;
- 15 wenn eine "dto_fl[y]b[ack]"-Flanke vorliegt, so wird der Zählerinhalt "slip_cnt" um den Wert 1 erhöht.

- Demzufolge liegt der Zählerinhalt "slip_cnt" nach einem Neustart oder Reset R in Abhängigkeit vom Phasenstatus und vom Timing des Neustarts bzw. des Reset R
- 20 zwischen 0 und 1 oder zwischen 0 und -1. Wenn "ha_pos_edge" (= "hin_pos_edge", insbesondere "hsync_pos_edge", das heißt die aktive Flanke des Eingangssignals 50) und "dto_fl[y]b[ack]" übereinstimmen bzw. zusammenfallen, so geschieht nichts; die laufende Situation wird dann wiederhergestellt (= Fall [iii] in Figur 6).
- 25 Wenn ein oder mehrere Phasendurchläufe (sogenannte cycle slips: Bezugszeichen CS) in positive Richtung vorliegen, das heißt wenn die Anzahl der "dto_fl[y]b[ack]"-Signale die Anzahl der "ha_pos_edge"-Signale um den Wert 1 übersteigt, dann wird der Zählerinhalt "slip_cnt" des Zählers um den Wert 1 erhöht, das heißt der Zählerinhalt "slip_cnt" des Zählers bewegt sich dann nicht mehr zwischen 0 und 1, sondern
- 30 zwischen 1 und 2 (vgl. Fall [a] sowie Fall [c] in Figur 5; vgl. Fall [iv] in Figur 6).

- Mit der nächsten Verschiebung (sogenannter "slip") in diese Richtung erreicht der Zählerinhalt "slip_cnt" des Zählers den Wert 3 (vgl. Fall [c] in Figur 5). Dies verursacht ein Rückstellen (sogenannter "Reset" R) des Zählers auf den Wert "slip_cnt" = 0, und das Signal "updown_cnt" nimmt für eine Periode den Wert 1 an (vgl. Fall [v] in Figur 6); "updown_cnt" ist das auf das Schleifenfilter 30 bezogene Signal, mit dem der Inhalt des Schleifenfilters 30 auf einen bestimmten Wert erhöht wird, und zwar in Abhängigkeit vom Gainfaktor "kif" (= Bezugszeichen 88 in Figur 2) des Frequenzdetektors 48. Nach dieser Aktion beginnt der Zählerinhalt "slip_cnt" des Zählers, sich wieder zwischen dem Wert 0 und dem Wert 1 zu bewegen.
- 10 Wenn der Frequenzoffset bzw. die Frequenzversetzung klein ist, sind zwei Phasendurchläufe CS in diese (positive) Richtung erforderlich, um eine Aktion am Schleifenfilter 30 zu bewirken.
- 15 Wenn der Frequenzoffset bzw. die Frequenzversetzung so groß ist, dass mehr als zwei "dto_fl[y]b[ack]"-Pulse zwischen zwei "ha_pos_edge"-Pulsen auftreten, wird das Limit des Zählerinhalts "slip_cnt" des Zählers innerhalb eines "ha"- (= "hin"-, insbesondere "hsync"-)Zyklus erreicht.
- 20 Wenn ein oder mehrere Phasendurchläufe (sogenannte "cycle slips" CS) in die andere, also negative Richtung vorliegen, das heißt wenn die Anzahl der "ha_pos_edge"-Signale ("ha_pos_edge" = "hin_pos_edge", insbesondere "hsync_pos_edge", das heißt die aktive Flanke des Eingangssignals 50) die Anzahl der "dto_fl[y]b[ack]"-Signale um den Wert 1 übersteigt, dann wird der Zählerinhalt "slip_cnt" des Zählers um den Wert -1
- 25 vermindert, das heißt der Zählerinhalt "slip_cnt" des Zählers bewegt sich dann nicht mehr zwischen 0 und 1, sondern zwischen -1 und 0 (vgl. Fall [b] sowie Fall [d] in Figur 5; vgl. Fall [vi] in Figur 6).
- 30 Wenn der Zählerinhalt "slip_cnt" des Zählers den Wert -1 erreicht, erfolgt solange keine direkte Aktion des Frequenzdetektors 48, wie der "dto_fl[y]b[ack]"-Impuls den Zählerinhalt "slip_cnt" des Zählers wieder auf den Wert 0 zurückstellt. Lediglich wenn der

Zählerinhalt "slip_cnt" des Zählers den Wert -1 an der steigenden Flanke des "ha_pos_edge"-Signals aufweist, erfolgt ein Rückstellen R bzw. ein "Reset" des Zählerinhalt "slip_cnt" auf den Wert 0, und das Signal "updown_cnt" wird auf den Wert -1 eingestellt (vgl. Fall [vii] in Figur 6), um den Inhalt des Schleifenfilters 30 um
5 denselben Betrag wie im Falle der positiven Richtung zu verringern.

Wie vorstehend erläutert, hängt es

- von der Wahl des Zeitpunkts des Rückstellens R (= des "Resets") und/oder
- von der "ha"- (= "hin"-, insbesondere "hsync"-)Phase sowie von der
10 "dto_fl[y]b[ack]"-Phase

ab, ob sich der Zählerinhalt "slip_cnt" des Zählers zwischen dem Wert 0 und dem Wert 1 oder zwischen dem Wert -1 und dem Wert 0 bewegt; aus diesem Grunde ist es möglich, dass beim Starten (vgl. Fall [i] in Figur 6) eine zusätzliche Aktion des Frequenzdetektors 48 erfolgt.

15 Dies beeinträchtigt jedoch nicht die Leistung, weil sich der Frequenzdetektor 48 nach dem ersten Reset R des Zählerinhalts "slip_cnt" des Zählers (vgl. Fall [ii] in Figur 6) eingeschwungen hat (\longleftrightarrow Frequenzdetektor 48 im "settled state") und der Betrieb gemäß den vorstehend dargelegten Fällen [iii], [iv], [v], [vi] und/oder [vii] erfolgt.

20 Eine weitere erfindungswesentliche Maßnahme zum Verbessern der Robustheit des Frequenzdetektors 48 gegen Phasensprünge besteht in der optionalen Implementierung einer internen Phasenversetzung in der Größenordnung von 180 Grad. Ein derartiger interner Phasenoffset um π kann beispielsweise durch Addieren oder Subtrahieren der
25 Hälfte des Phasendetektorbereichs vom Phasendetektorergebnis vorgesehen werden. In diesem Falle hat der Phasensprung die Phasenversetzung zu übersteigen, um den Frequenzdetektor 48 zu aktivieren.

Eine hierzu alternative oder ergänzende erfindungswesentliche Maßnahme besteht
30 darin, die Zählergrenze für das Aktivieren des Frequenzdetektors 48 zu höheren Werte zu erstrecken, damit mehr als zwei Phasendurchläufe CS für eine Korrekturprozedur erforderlich sind.

In sämtlichen vorstehend dargelegten Fällen wird der Frequenzdetektor 48 automatisch außer Betrieb gesetzt, wenn der digitale Phasenregelkreis 40 einkoppelt bzw. einrastet, damit eine mehr oder minder konstante Phasenbeziehung zwischen Eingangssignal und Ausgangssignal besteht. Da keine weiteren Phasendurchläufe (sogenannte "cycle slips") auftreten, erfolgen auch keine weiteren Aktionen des Frequenzdetektors 48.

Einen weiteren erfindungswesentlichen Parameter für den Frequenzdetektor 48 stellt der Effekt des "kif"-Faktors 88 (vgl. Figur 2) dar. Wenn der Verstärkungsfaktor des Frequenzdetektors 48 zu groß ist und wenn die digitale P[hase]L[ocked]L[oop] 40 zu langsam ist, kann die Phasenregelschleife 40 nicht mehr einkoppeln bzw. nicht mehr einrasten, weil wieder eine Aktion des Frequenzdetektors 48 erfolgt, bevor sich die Phasenregelschleife 40 auf die neue Frequenz einschwingen kann.

Auf diese Weise kann es passieren, dass die PLL-Frequenz um die gewünschte Frequenz schwankt. Eine erfindungswesentliche Lösung für dieses Phänomen besteht darin, den Verstärkungsfaktor des Frequenzdetektors 48 zu reduzieren, so dass kein Schwanken (= "togglng") erfolgt. Dies bedeutet auch, dass für jede (Abkling-)Zeitkonstante des digitalen Phasenregelkreises 40 und/oder für jede Dämpfungs-konstante des digitalen Phasenregelkreises 40 ein maximal zulässiger Verstärkungsfaktor des Frequenzdetektors 48 existiert.

Zum Erhalten eines gleichen Inkrements "inc" (= Bezugszeichen 24) oder Dekrements des Schleifenfilters 30 wird der Verstärkungsfaktor - im Vergleich mit dem aus der Druckschrift EP 0 619 653 A1 bekannten System - um den Faktor 2 reduziert; dies ist jedoch unerheblich, sofern das Inkrement "inc" (= Bezugszeichen 24) oder das Dekrement verdoppelt wird; im speziellen handelt es sich hier um das Inkrement vom Inkrement, das heißt um eine Änderung des Ausgangssignals des Schleifenfilters 30 in kleinen Schritten.

Zusammenfassend lässt sich feststellen, dass mittels der vorliegenden Schaltungsanordnung 100 wie auch mittels des auf diese Schaltungsanordnung 100 bezogenen Verfahrens das Verarbeiten von und hierbei insbesondere das Einrasten auf digitale Audio-, T[ele]V[ision]- und/oder Videosignale ermöglicht wird.

5

Hierzu wird in erster Linie ein digitales P[hase]L[ocked]L[oop]- System vorgeschlagen, das aus dem Referenzsignal 50 verschiedene Taktsignale 86a, 86b, 86c, 86d erzeugt (vgl. Figur 1). Die generierten Signale 86a, 86b, 86c, 86d stehen in einem bestimmten Verhältnis zum Referenzsignal 50.

10

Zur Umsetzung der digitalen Phaseninformationen in ein analoges Taktsignal und umgekehrt gelangt ein D[igital to]T[ime]C[onverter]/T[ime to]D[igital]C[onverter]-Modul 72/42 zur Anwendung, wodurch eine um den Faktor 64 höhere Auflösung der Ausgangssignale 86a, 86b, 86c, 86d erreicht wird. Das System 100 verfügt zusätzlich
15 über die Möglichkeit, die Signale 86a, 86b, 86c, 86d unabhängig aus dem Systemtakt 52 zu erzeugen.

Zur Realisierung der Schaltungsanordnung 100 kann beispielsweise für das System zunächst ein lineares Modell entwickelt werden, das anschließend in ein digitales
20 System umgesetzt wird. Wie sich gezeigt hat, wird das digitale PLL-System 40 den gestellten Anforderungen in jeder Hinsicht gerecht. Das digitale PLL-System 40 verfügt über eine einfache, klare und leicht zu modifizierende Struktur und lässt sich daher schnell an die Bedürfnisse anderer Systeme anpassen.

25 Weiterhin ist ein genaues Einstellen des Regelverhaltens durch den Parameter K_p (= Proportionalbeiwert oder Proportionalfaktor des ersten Proportionalglieds 300 und des zweiten Proportionalglieds 304) sowie durch den Parameter K_i (= Integralbeiwert oder Integralfaktor des Integralglieds 306) möglich.

30

Hierbei wird ein Fachmann auf dem Gebiet der elektrischen oder elektronischen Schaltungsanordnungen, zum Beispiel ein Designer für elektronische Schaltungen, insbesondere zu schätzen wissen, dass das Regelverhalten der digitalen P[hase]L[ocked]L[oop] 40 hinsichtlich der (Abkling-)Zeitkonstanten $(2 \cdot \omega_n \cdot \xi)^{-1}$ und hinsichtlich der Dämpfung ξ 5 getrennt einstellbar ist.

So liegt zum Beispiel der Einstellbereich der Zeitkonstanten $(2 \cdot \omega_n \cdot \xi)^{-1}$ zwischen etwa acht Mikrosekunden und etwa einer Sekunde; der Dämpfungsfaktor ξ ist exemplarisch in einem Bereich von etwa 0,25 bis etwa 4 einstellbar.

10

Auch im unabhängigen Betrieb oder bei ausbleibendem Eingangssignal 50 liefert die Schaltungsanordnung 100 stabile Bit-Clock-Signale 86a, 86b, 86c, 86d. Durch Halten oder "Einfrieren" der Frequenz bei fehlendem Eingangssignal 50 können Störgeräusche (sogenannter "Plopp-Effekt") am Ausgang eines Sound-D[igital]S[ignal]P[rocessor]s 15 vermieden werden.

Dies ist insofern von Bedeutung, als mit den generierten Signalen 86a, 86b, 86c, 86d digitale Audio-, T[ele]V[ision]- und Videosignale übertragen werden, wobei die Signale zum Vermeiden eben jener in den Lautsprechern auftretenden Störgeräusche bei einem 20 plötzlichen Fehlen des Eingangssignals 50 weiterhin stabil anliegen müssen (ein derartiges Störgeräusch entsteht durch abrupte bzw. schnelle Frequenzänderungen und kann die Zerstörung der Lautsprecher zur Folge haben; somit muss die Frequenz sozusagen "eingefroren" werden).

25 In jedem Fall bildet die Schaltungsanordnung 100 aufgrund ihrer ausgesprochen geringen Größe von beispielsweise 0,4 Quadratmillimetern eine sinnvolle Alternative zu herkömmlichen analogen Systemen, wie sie aus dem Stand der Technik bekannt sind. Die Vorteile der vorliegenden Schaltungsanordnung 100 liegen in den vielfältigen Anwendungsmöglichkeiten und in der hervorragenden Anpassbarkeit; die Schaltungs- 30 anordnung 100 lässt sich jederzeit ohne weiteres erweitern oder verkleinern.

Zudem lassen sich Eigenschaften und Funktionen mit diesem digitalen System 100 realisieren, die mit einem analogen System gar nicht oder nur schwer und unter hohem Aufwand realisierbar wären. Hierzu gehören zum Beispiel die Realisierung langer
5 Abklingzeitkonstanten oder das Beschleunigen des Einkoppel- bzw. Einrastvorgangs.

Das anhand der Figuren 1 bis 6 dargelegte erste Ausführungsbeispiel einer Schaltungsanordnung 100 ist vorstehend beispielhaft für eine T[ele]V[ision]-Applikation beschrieben, wobei die dargestellte T[ele]V[ision]-Applikation im Grunde genommen
10 das am weitesten gehende P[hase]L[ocked]L[oop]-System dieser Art darstellt.

Ein zweites Ausführungsbeispiel einer Schaltungsanordnung 100' in Form einer weiteren Applikation geht aus den Blockschaltbildern gemäß den Figuren 7 und 8 hervor. Zur Vermeidung überflüssiger Wiederholungen wird hinsichtlich der Ausge-
15 staltungen, Merkmale und Vorteile des digitalen P[hase]L[ocked]L[oop]-Systems gemäß den Figuren 7 und 8 insoweit explizit auf die vorstehenden Erläuterungen zum ersten Ausführungsbeispiel gemäß den Figuren 1 bis 6 Bezug genommen, als nachstehend nicht gesonderte Erläuterungen zum zweiten Ausführungsbeispiel gemäß den Figuren 7 und 8 gemacht werden:

20

Die dynamischen Parameter des ersten Ausführungsbeispiels der Schaltungsanordnung 100 können beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' unverändert übernommen werden; die Struktur des zweiten Ausführungsbeispiels der Schaltungsanordnung 100' ist im wesentlichen die gleiche wie bei der T[ele]V[ision]-
25 Applikation gemäß dem ersten Ausführungsbeispiel der Schaltungsanordnung 100, wobei in Figur 7 die Signalleitungen vom digitalen Rampen- oder Zeitoszillator 46 (D[igital]T[ime]O[scillator]) pauschal zum Phasendetektor 44 und zum Frequenzdetektor 48 gezogen sind; tatsächlich gibt es hier bei der Sound-Applikation gemäß den Figuren 7 und 8 keinen Unterschied zur T[ele]V[ision]-Applikation gemäß den Figuren
30 1 bis 6, bei der

- das "dto_fl[y]b[ack]"-Signal 62a, 62b mit dem Phasendetektor 44 (<--> erster Anteil 62a des "dto_fl[y]b[ack]"-Signals 62a, 62b) und mit dem Teiler 70 (<--> zweiter Anteil 62b des "dto_fl[y]b[ack]"- Signals 62a, 62b) verbunden ist (sowohl beim ersten Ausführungsbeispiel der Schaltungsanordnung 100 gemäß den Figuren 1 bis 6 als auch beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' gemäß den Figuren 7 und 8 gehen vom "dto_fl[y]b[ack]"-Signal 62a, 62b in erfindungswesentlicher Weise unterschiedliche Anteile ab, nämlich der erste Anteil 62a zum Phasendetektor 44 und der zweite Anteil 62b zur Teilereinheit 70; welche Wortanteile dies jeweils sind, hängt unter anderem von der Eingangssignalfrequenz und/oder von der Ausgangssignalfrequenz ab) und
- das "dto_c[arry]o[ut]"-Signal 64 am Frequenzdetektor 48 und am Teiler 70 angeschlossen ist.

Beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' gemäß den Figuren 7 und 8 ist das eingehende horizontale Zeilensynchron(isations)signal (Bezeichnung: "hsync_in"; vgl. erstes Ausführungsbeispiel der Schaltungsanordnung 100 gemäß den Figuren 1 bis 6) durch ein "w[ord]s[elect]"-Eingangssignal 50' ersetzt, das bei der digitalen Sound-Signal-Verarbeitung im I[nter]I[ntegratedCircuit]S[ound]-Format (sogenanntes IIS-Format oder I²S-Format) zwischen dem rechten Stereo-Sound-Kanal und dem linken Stereo-Sound-Kanal unterscheidet.

Dieses als Referenzsignal fungierende externe Eingangssignal "ws_in" (Bezugszeichen 50') mit einem Frequenzbereich zwischen 32 Kilohertz und 48 Kilohertz gelangt zunächst auf den Eingang eines Flankendetektors 78 (vgl. Figur 8; grundsätzlich handelt es sich bei einem Flankendetektor um eine Grundschaltung der digitalen Signalverarbeitung, die auf sehr viele verschiedene Weisen ausgeführt werden kann) sowie auf den Eingang des externen Zeit/Digital-Wandlers 42 (= T[ime to]D[igital]C[onverter]-Modul).

Der Flankendetektor 78 hat zwei wesentliche Funktionen: Zum einen wird das asynchrone Eingangssignal 50' mittels des Flankendetektors 78 auf den bzw. mit dem 54 Megahertz-Systemtakt 52 synchronisiert, zum Beispiel

- um Setup-Violations sowie Hold Time-Violations zu verhindern und
 - 5 - um ein Referenzsignal für andere Funktionsblöcke zu erzeugen;
- zum anderen erfasst der Flankendetektor 78 die steigenden Flanken des Eingangssignals 50'.

In diesem Zusammenhang erfolgt die Synchronisation des asynchronen Eingangssignals
10 50' zum Systemtakt 52 durch ein getaktetes erstes Flip-Flop 782 (vgl. Figur 8). Zum Erkennen der steigenden Flanke des Eingangssignals 50' wird das mittels des ersten Flip-Flops 782 synchronisierte Eingangssignal auf ein zweites Flip-Flop 784 (vgl. Figur 8) gegeben.

15 Durch das sich am Ausgang des zweiten Flip-Flops 784 befindliche UND-Gatter 786 erfolgt die eigentliche Detektion. Nur wenn das erste Flip-Flop 782 am Ausgang einen HIGH-Pegel aufweist und das zweite Flip-Flop 784 am Ausgang einen LOW-Pegel aufweist, schaltet das UND-Gatter 786 (vgl. Figur 8) durch. Dieser Zustand kann nur für einen 54 Megahertz-Takt anliegen, denn einen Takt später nimmt das zweite Flip-Flop
20 784 den Zustand des ersten Flip-Flops 782 an. Somit liefert die Schaltung 78 den gewünschten Impuls 68, wie anhand des nachstehenden Ablaufs im Detail verdeutlicht wird:

Das Eingangssignal 50' ist asynchron zum Systemtakt 52. Mit der nächsten steigenden
25 Flanke des Systemtakts 52 nimmt das erste Flip-Flop 782 einen HIGH-Pegel an. Einen Takt später nimmt auch das zweite Flip-Flop 784 den HIGH-Pegel an. Zuvor liefert auch das UND-Gatter 786 einen HIGH-Pegel, so dass ein drittes Flip-Flop 788 (vgl. Figur 8) auch mit diesem Takt einen HIGH-Pegel liefert. Da nun auch das zweite Flip-Flop 784 einen HIGH-Pegel liefert, liegt am Ausgang des UND-Gatters 786 wieder ein
30 LOW-Pegel an; somit nimmt auch das dritte Flip-Flop 788 wieder einen LOW-Pegel an.

Nach der Erfassung einer steigenden Flanke des Eingangssignals 50' durch den Flankendetektor 78 wird ein Impuls 68 mit der Dauer einer 54 Megahertz-Periode ausgegeben. Dieser Impuls 68 wird vom Phasendetektor 44, vom Schleifenfilter 30 und vom Frequenzdetektor 48 zur weiteren Datenverarbeitung benötigt.

5

Die Zeit/Digital-Wandlereinheit 42 ist ein externer A[nalog]/D[igital]-Block, der den Systemtakt 52 in 64 Unterphasen aufteilt. Mit der steigenden Flanke des Eingangssignals 50' wird die Unterphase gegenüber dem Systemtakt 52 gemessen und als Sechs Bit-Phaseninformation zusätzlich an den Phasendetektor 44 übergeben.

10

Der Phasendetektor 44 berechnet nach Eintreffen einer steigenden Flanke des Eingangssignals 50' den Phasenfehler aus der Phaseninformation des Zeit/Digital-Wandlers 42 und des digitaler Rampenoszillators 46. Der Phasenfehler wird anschließend mittels des Ausgangssignals 56 an das Schleifenfilter 30 übergeben.

15

Zusätzlich erhält das Schleifenfilter 30 mittels des Ausgangssignals 58 noch ein Informationswort vom Frequenzdetektor 48. Der Frequenzdetektor 48 arbeitet stets im Hintergrund mit und vergleicht permanent das Eingangssignal 50' mit dem Signal des digitalen Rampenoszillators 46:

20

Ist die digitale P[hase]L[ocked]L[oop] 40 nicht eingerastet, so hat das Eingangssignal 50' eine von der Frequenz des D[igital]T[ime]O[scillator]-Signals unterschiedliche Frequenz. In diesem Falle gibt der Frequenzdetektor 48 die Information an das Schleifenfilter 30 weiter, der dies in die Berechnung des Inkrements 24 mit einbezieht.

25

Der Frequenzdetektor 48 lässt somit die digitale P[hase]L[ocked]L[oop] 40 schneller einlaufen, wenn das System nicht eingerastet ist.

30

Auch wenn also die digitale P[hase]L[ocked]L[oop] 40 nicht eingerastet bzw. nicht "gelockt" hat und auf ein Eingangssignal 50' mit einer anderen Frequenz als der Frequenz des D[igital]T[ime]O[scillator]-Signals einrastet, soll dies mit einstellbarer

Frequenzänderung erfolgen. Diese Einstellung erfolgt mit der Steilheit "ki_f_sel" bzw. "ki_f" des Frequenzdetektors 48.

Diese Steilheit "ki_f" des Frequenzdetektors 48 wird über eine Lock-up-Tabelle
5 (sogenannte "lock-up-table") aus dem Signal "ki_f_sel" so erzeugt, dass die Steilheit "ki_f" des Frequenzdetektors 48 proportional zum Zweifachen des Signals "ki_f_sel" ist; ki_f_sel = 0 bedeutet, dass ki_f = 0 gesetzt wird (in diesem Fall ist der Frequenzdetektor 48 abgeschaltet).

10 Das Signal "ki_f" wird mit einer Konstanten multipliziert und stets dann auf den Inhalt des Integrators 308, 310, 312 des Schleifenfilters 30 aufaddiert bzw. vom Inhalt des Integrators 308, 310, 312 des Schleifenfilters 30 subtrahiert, wenn durch den Frequenzdetektor 48 eine Frequenzkorrektur durchgeführt wird. Dies ist als exemplarische Implementation zu verstehen, um mit einer möglichst geringen Wortbreite von
15 "ki_f_sel" einen möglichst breiten Dynamikbereich abzudecken.

Das im Schleifenfilter 30 berechnete Inkrement 24 wird an den D[igital]T[ime]
O[scillator] 46 übergeben. Der D[igital]T[ime]O[scillator] 46 wird somit in seiner Frequenz gesteuert. Der Zählerstand des D[igital]T[ime]O[scillator] 46 liefert einerseits
20 dem Phasendetektor 44 die Phaseninformation, andererseits liefert der Zählerstand des D[igital]T[ime]O[scillator] 46 auch Referenzsignale für den Frequenzgenerator 76 sowie für den Digital/Zeit-Wandler 72.

Der Digital/Zeit-Wandler 72 (= D[igital to]T[ime]C[onverter]) ist gewissermaßen das
25 Gegenstück bzw. Gegenteil des Zeit/Digital-Wandlers 42 (= T[ime to]D[igital]C[onverter]). Der Digital/Zeit-Wandler 72 erhält vom Teiler 70 in Form des digitalen Ausgangssignals 80 (Bezeichnung: "dto_overflow") eine Sechs Bit-Phaseninformation und verschiebt ein Referenzsignal um eine Unterphase aus 64 Unterphasen gegenüber dem Systemtakt 52.

Das auf diese Weise erzeugte Signal 82' hat eine um den Faktor 64 höhere Auflösung gegenüber einer Systemtakt-genauen Auflösung. Dieses Signal 82' wird für die Synchronisation sowie für die Taktung des Frequenzgenerators 76 benutzt. Der Frequenzgenerator 76 erzeugt aus dem Synchronisationssignal 82' des D[igital to]T[ime]

- 5 C[onverter] 72 und aus den Referenzsignalen 64 des D[igital]T[ime] O[scillator] 46 die gewünschten Ausgangssignale 86a', 86b', 86c', 86d', 86e'.

Hierbei halten die Ausgangsfrequenzen 86a', 86b', 86c', 86d', 86e' des

Frequenzgenerators 76 bestimmte Verhältnisse zur Word-Select-Signalfrequenz ein, so
10 zum Beispiel

- 0,5 (<--> erstes Ausgangssignal der Schaltungsanordnung 100' gemäß Figur 7),
- 1 (<--> zweites Ausgangssignal der Schaltungsanordnung 100' gemäß Figur 7),
- 32, (<--> drittes Ausgangssignal der Schaltungsanordnung 100' gemäß Figur 7),
- 64 (<--> viertes Ausgangssignal der Schaltungsanordnung 100' gemäß Figur 7)
- 15 und
- 128 (<--> fünftes Ausgangssignal der Schaltungsanordnung 100' gemäß Figur 7),

und weisen definierte Phasenlagen zueinander auf.

- 20 Da die Frequenzen der Ausgangssignale 86a', 86b', 86c', 86d', 86e' des Frequenzgenerators 76 deutlich unterhalb des Systemtakts 52 liegen, ist beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' im Gegensatz zum ersten Ausführungsbeispiel der Schaltungsanordnung 100 eine Frequenzvervielfachung mittels einer analogen P[hase]L[ocked]L[oop] 74 nicht erforderlich.

- 25 Dies bedeutet mit anderen Worten, dass der auch als Frequenzgenerator bezeichnete Ausgangsfrequenzteiler 76 beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' im Gegensatz zum ersten Ausführungsbeispiel der Schaltungsanordnung 100 direkt an den Digital/Zeit-Wandler 72 (= D[igital to]T[ime]C[onverter]) angeschlossen werden
30 kann.

Eine weitere Anpassung ist beim zweiten Ausführungsbeispiel der Schaltungsanordnung 100' im Vergleich zum ersten Ausführungsbeispiel der Schaltungsanordnung 100 im Hinblick auf die Mittenfrequenz (Bezeichnung: "inc_nom") für den digitalen Rampen- oder Zeitoszillator 46 (D[igital]T[ime]O[scillator]) vorzunehmen, denn die
5 Mittenfrequenzen des digitalen Phasenregelkreises 40 unterscheiden sich im Videofall (vgl. erstes Ausführungsbeispiel gemäß den Figuren 1 bis 6) und im Soundfall (vgl. zweites Ausführungsbeispiel gemäß den Figuren 7 und 8).

In der Praxis sind die Schaltungen 100 bzw. 100' universell einsetzbar, und zwar überall
10 dort, wo ein Eingangssignal 50 bzw. 50' mit verhältnismäßig niedriger Frequenz verwendet wird; dies können unter Umständen einige hundert Kilohertz sein, möglicherweise auch Megahertz.

Faktisch begrenzt wird die maximale Frequenz des Eingangssignals 50 durch die
15 Gesamtanzahl an Clock-Delays (sogenannte "Latency") des Filters 30, des D[igital and/or Discrete]T[ime]O[scillator]s 46 und des D[igital to]T[ime]C[onverter]/T[ime to]D[igital]C[onverter] (sogenannter DTCTDC 72, 42). Übersteigt die Latency die Eingangsfrequenz, wird das System 100 instabil. Schon zuvor ändert sich das dynamische Verhalten des Systems 100 gegenüber der konventionellen Theorie, die die
20 Latency nicht enthält, erheblich.

BEZUGSZEICHENLISTE

- 100 Schaltungsanordnung (erstes Ausführungsbeispiel; vgl. Figuren 1 bis 6)
- 100' Schaltungsanordnung (zweites Ausführungsbeispiel; vgl. Figuren 7 und 8)
- 5 10 Frequenzregelschleife
- 12 Inkrementbaustein (Bezeichnung: Δinc),
insbesondere Inkrementerzeugungseinheit
- 14 Adaptiereinheit
- 16 Eingangssignal des Inkrementbausteins 12 (Bezeichnung: inc_in),
10 insbesondere Steuersignal des Inkrementbausteins 12
- 18 erstes Eingangssignal der Adaptiereinheit 14 (Bezeichnung: ki_off)
- 20 zweites Eingangssignal der Adaptiereinheit 14
- 22 Ausgangssignal der Adaptiereinheit 14 (Bezeichnung: i_freq)
- 24 Inkrement oder Inkrementsignal (Bezeichnung: inc)
- 15 26 Betriebsmodus des digitalen Phasenregelkreises 40 (Bezeichnung: pll_mode)
- 30 Schleifenfilter
- 300 erstes Proportionalglied
- 302 Punkt der Verzweigung in Proportionalpfad 320 und in Integralpfad 322
- 304 zweites Proportionalglied
- 20 306 Integralglied
- 308, 310, 312 Integrator, aufweisend
- 308 dritter Addierer
- 310 Integralwertbegrenzer (Bezeichnung: i-clip)
- 312 Verzögerungsglied
- 25 314 erster Addierer
- 316 Frequenzwertbegrenzer (Bezeichnung: f-clip)
- 318 zweiter Addierer
- 320 Proportionalpfad
- 322 Integralpfad
- 30 324 erste Entscheidungseinheit

- 324a erster Eingang der ersten Entscheidungseinheit 324
- 324b zweiter Eingang der ersten Entscheidungseinheit 324
- 324c Ausgang der ersten Entscheidungseinheit 324
- 326 zweite Entscheidungseinheit
- 5 326a erster Eingang der zweiten Entscheidungseinheit 326
- 326b zweiter Eingang der zweiten Entscheidungseinheit 326
- 326c Ausgang der zweiten Entscheidungseinheit 326
- 328 dritte Entscheidungseinheit
- 328a erster Eingang der dritten Entscheidungseinheit 328
- 10 328b zweiter Eingang der dritten Entscheidungseinheit 328
- 328c Ausgang der dritten Entscheidungseinheit 328
- 330 Ausgangssignal des Proportionalpfads 320,
insbesondere Ausgangssignal des ersten Proportionalglieds 300
- 332 verschwindendes Signal
- 15 334 Ausgangssignal der ersten Entscheidungseinheit 324
- 340 Ausgangssignal des zweiten Proportionalglieds 304
- 342 Ausgangssignal des Integralglieds 306
- 344 Ausgangssignal der zweiten Entscheidungseinheit 326
- 346 Ausgangssignal des dritten Addierers 308
- 20 350 Ausgangssignal, insbesondere rückgekoppeltes Ausgangssignal, des
Integralpfads 322, insbesondere des Integrators 308, 310, 312
- 352 verschwindendes Signal
- 354 Ausgangssignal der dritten Entscheidungseinheit 328
- 360 Ausgangssignal des ersten Addierers 314
- 25 362 Ausgangssignal des Frequenzwertbegrenzers 316
- 364 nominales Inkrementalsignal
- 40 digitaler Phasenregelkreis = digitaler P[hase]L[ocked]L[oop]
- 42 Zeit/Digital-Wandler = T[ime to]D[igital]C[onverter]
- 44 Phasendetektor
- 30 46 digitaler Rampen- oder Zeitoszillator und/oder

- diskreter Rampen- oder Zeitoszillator
 = D[igital]T[ime]O[scillator] and/or D[iscrete]T[ime]O[scillator]
- 48 Frequenzdetektor
- 50 Eingangssignal (Bezeichnung: hin oder ha),
 5 insbesondere analoges Eingangssignal,
 im speziellen horizontales Synchronisationssignal oder
 Zeilensynchron(isations)signal (Bezeichnung: hsync)
- 50' Eingangssignal (Bezeichnung: ws_in oder w[ord]s[elect]_in),
 insbesondere zur Unterscheidung zwischen dem linken Stereo-Sound-Kanal und
 10 dem rechten Stereo-Sound-Kanal bei der digitalen Sound-Signal-Verarbeitung
 im I[nstitut]I[ntegrierte]S[chaltungen]-Format
- 52 Systemtakt, insbesondere von 54 Megahertz (Bezeichnung: clk54, wobei keine
 Identität mit der Bezeichnung clk54 des ersten Ausgangssignals 86a vorliegt)
- 54 Ausgangssignal des Zeit/Digital-Wandlers 42,
 15 insbesondere zusätzliche Phaseninformation(en) des Zeit/Digital-Wandlers 42
- 56 Ausgangssignal des Phasendetektors 44
- 58 Ausgangssignal des Frequenzdetektors 48,
 insbesondere Frequenzinformation(en) des Frequenzdetektors 48
- 60 Taktsignal (Bezeichnung: clkpll)
- 20 62a erster, zum Phasendetektor 44 gerichteter Anteil des ersten Ausgangssignals des
 Rampenoszillators 46 (Bezeichnung: dto_flb oder dto_flyback),
 insbesondere Status(signal) (des Registers) des Rampenoszillators 46 mit
 bestimmter Wortbreite
- 25 62b zweiter, zur Teilereinheit 70 gerichteter Anteil des ersten Ausgangssignals des
 Rampenoszillators 46 (Bezeichnung: dto_flb oder dto_flyback),
 insbesondere Status(signal) (des Registers) des Rampenoszillators 46 mit
 bestimmter Wortbreite
- 64 zweites Ausgangssignal des Rampenoszillators 46
 (Bezeichnung: dto_co oder dto_carry_out),
 30 insbesondere Ausführsignal oder Überlaufimpuls des Rampenoszillators 46

- 66 Signal zur Initialisierung und Rücksetzung der Schaltungsanordnung 100' in den Grundzustand (Bezeichnung: reset)
- 68 Ausgangssignal des Flankendetektors 78, insbesondere Impuls (sogenannter "one clock cycle") nach erkannter steigender
- 5 Flanke des Eingangssignals 50' (Bezeichnung: w[ord]s[elect]_det[ect])
- 70 Teilereinheit, insbesondere Signalteiler
- 72 Digital/Zeit-Wandler = D[igital to]T[ime]C[onverter]
- 74 analoger Phasenregelkreis = analoger P[hase]L[ocked]L[oop]
- 76 Frequenzgenerator (Bezeichnung: 1/n), insbesondere Frequenzteiler
- 10 78 Flankendetektor
- 782 erste Flip-Flop-Einheit (Bezeichnung: w[ord]s[elect]_det[ect]_in)
- 784 zweite Flip-Flop-Einheit (Bezeichnung: w[ord]s[elect]_det[ect]_buff[er])
- 786 UND-Gatter
- 788 erste Flip-Flop-Einheit (Bezeichnung: w[ord]s[elect]_det[ect])
- 15 80 digitales Ausgangssignal (Bezeichnung: dto_overflow)
- 82 analoges, insbesondere zeitabhängiges, Ausgangssignal
- 82' Ausgangssignal des Digital/Zeit-Wandlers 72
- 84 Ausgangssignal des analogen Phasenregelkreises
- 86a erstes Ausgangssignal der Schaltungsanordnung 100 (Bezeichnung: clk54,
- 20 wobei keine Identität mit der Bezeichnung clk54 des Systemtakts 52 vorliegt)
- 86a' erstes Ausgangssignal der Schaltungsanordnung 100' (Bezeichnung: 0,5 FS)
- 86b zweites Ausgangssignal der Schaltungsanordnung 100 (Bezeichnung: clk27)
- 86b' zweites Ausgangssignal der Schaltungsanordnung 100' (Bezeichnung: 1 FS)
- 86c drittes Ausgangssignal der Schaltungsanordnung 100 (Bezeichnung: clk13M5)
- 25 86c' drittes Ausgangssignal der Schaltungsanordnung 100' (Bezeichnung: 32 FS)
- 86d viertes Ausgangssignal der Schaltungsanordnung 100 (Bezeichnung: hd)
- 86d' viertes Ausgangssignal der Schaltungsanordnung 100' (Bezeichnung: 64 FS)
- 86e' fünftes Ausgangssignal der Schaltungsanordnung 100' (Bezeichnung: 128 FS)
- 88 Gainfaktor des Frequenzdetektors 48 (Bezeichnung: kif)
- 30 CS Phasendurchlauf zweier Signale gegeneinander

	dto_max	Maximalwert des Rampenoszillators 46
	DTO_reg	Register des Rampenoszillators 46
	f	Frequenz
	f _{clk}	Frequenz des Taktsignals 52
5	f _{DTO}	Frequenz des Rampenoszillators 46
	Δf_s	letzter kleinerer (Frequenz-)Schritt
	f _z	Zielfrequenz
	h(s)	Übertragungsfunktion, insbesondere Phasenübertragungsfunktion
	h _a	Eingangsphase
10	K _D	Verstärkungsfaktor des Phasendetektors 44
	K _i	Integralbeiwert des Integralglieds 306 = Integralfaktor des Integralglieds 306
	K _O	Verstärkungsfaktor des Rampenoszillators 46
	K _p	Proportionalbeiwert des ersten Proportionalglieds 300 und des zweiten Proportionalglieds 304 = Proportionalfaktor des ersten Proportionalglieds 300
15		und des zweiten Proportionalglieds 304
	R	Rückstellen oder Reset des Zählerinhalts slip_cnt des Phasendurchlaufzählers auf slip_cnt = 0
	s	Variable bei Laplace-Transformation
	slip_cnt	Zählerinhalt des Phasendurchlaufzählers des Frequenzdetektors 48
20	t	Zeit
	T	Periodendauer des Eingangssignals 50
	T _{DTO}	Periodendauer des Rampenoszillators 46
	ξ	Dämpfung, insbesondere Dämpfungsfaktor oder Dämpfungskonstante
	φ -Takt	Frühwert oder früher Wert (sogenannter "early value")
25		= Zeitintervall zwischen dem letzten Takt vor einem Überlauf und dem Ende einer virtuellen Periode des Rampenoszillators 46
	$\omega_n/2\pi$	Eigen(kreis)frequenz

PATENTANSPRÜCHE

1. Schaltungsanordnung (100; 100') mit mindestens einem Phasenregelkreis (40),
aufweisend
- mindestens einen Phasendetektor (44) zum Erfassen von Phaseninformationen
mindestens eines analogen Eingangssignals (50; 50'), insbesondere nach
5 Eintreffen mindestens einer ansteigenden Flanke und/oder abfallenden Flanke
mindestens eines analogen Eingangssignals (50; 50'),
 - mindestens einen mit dem vom Phasendetektor (44) ausgegebenen
Ausgangssignal (56) beaufschlagbaren Schleifenfilter (30) zum Ermitteln
mindestens eines Inkrements (24) und
 - 10 - mindestens einen mit dem vom Schleifenfilter (30) ausgegebenen Inkrement
(24) beaufschlagbaren Rampenoszillator (46),
dadurch gekennzeichnet,
 - dass der Phasenregelkreis (40) im wesentlichen digital ausgelegt ist und hierzu
mindestens einen mit mindestens einem Systemtakt (52) beaufschlagbaren
15 Zeit/Digital-Wandler (42) zum Digitalisieren des Eingangssignals (50; 50'),
insbesondere der Phase des Eingangssignals (50; 50'), aufweisen kann,
 - dass der Phasendetektor (44) mit dem Ausgangssignal (54), insbesondere mit
den zusätzlichen Phaseninformationen, des Zeit/Digital-Wandlers (42) sowie mit
mindestens einem ersten Ausgangssignal (62a), insbesondere mit mindestens
20 einem Statussignal, des Rampenoszillators (46) beaufschlagbar ist und
 - dass mindestens ein Frequenzdetektor (48) mit mindestens einem zweiten
Ausgangssignal (64), insbesondere mit mindestens einem Überlaufimpuls, des
Rampenoszillators (46) beaufschlagbar ist und Frequenzinformationen (58) an
das insbesondere auch mindestens einer Frequenzregelschleife (10) zuordbare
25 Schleifenfilter (30) ausgibt.

2. Schaltungsanordnung gemäß Anspruch 1,
dadurch gekennzeichnet,

- dass mindestens ein
- 5 -- mit dem Inkrement (24) des Schleifenfilters (30),
- mit dem ersten Ausgangssignal (62b) des Rampenoszillators (46) sowie
- mit dem zweiten Ausgangssignal (64) des Rampenoszillators (46)
- beaufschlagbarer Teilereinheit (70), insbesondere Signalteiler, hieraus
- mindestens ein digitales Ausgangssignal (80), insbesondere die digitale Phase
- 10 mindestens eines digitalen Ausgangssignals (80), ermittelt und
- dass mindestens ein mit dem zweiten Ausgangssignal (64) des
- Rampenoszillators (46) beaufschlagbarer Digital/Zeit-Wandler (72) das digitale
- Ausgangssignal (80) in mindestens ein analoges, insbesondere zeitabhängiges,
- Ausgangssignal (82; 82') umwandelt.

15

3. Schaltungsanordnung gemäß Anspruch 1 oder 2,
dadurch gekennzeichnet,

- dass dem Digital/Zeit-Wandler (72) mindestens ein analoger Phasenregelkreis
- (74), insbesondere zum Vervielfachen der Ausgangsfrequenz, nachgeschaltet ist,
- 20 und
- dass das Ausgangssignal (84) des analogen Phasenregelkreises (74) auf
- mindestens einen Frequenzgenerator (76), insbesondere auf mindestens einen
- Frequenzteiler, aufläuft, um mindestens ein Ausgangssignal (86a, 86b, 86c, 86d;
- 86a', 86b', 86c', 86d', 86e') der Schaltungsanordnung (100; 100') zu erzeugen.

25

4. Schaltungsanordnung gemäß mindestens einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,

- dass die Frequenzregelschleife (10) mindestens einen Inkrementbaustein (12),
- insbesondere mindestens eine Inkrementserzeugungseinheit, aufweist und

- dass mindestens eine mit dem vom Schleifenfilter (30) ausgegebenen Inkrement (24) beaufschlagbare, zum Bereitstellen mindestens eines adaptiven Algorithmus vorgesehene und mindestens ein Ausgangssignal (22) ausgebende Adaptiereinheit (14) zwischen den Inkrementbaustein (12) und das Schleifenfilter (30) geschaltet ist.

5. Schaltungsanordnung gemäß mindestens einem der Ansprüche 1 bis 4, dadurch gekennzeichnet,

dass das Schleifenfilter (30)

- 10 - mindestens ein erstes Proportionalglied (300) zum Multiplizieren des Ausgangssignals (56) des Phasendetektors (44) mit mindestens einem Proportionalbeiwert oder Proportionalfaktor (K_p),
- mindestens einen Proportionalpfad (320),
- mindestens einen Integralpfad (322) und
- 15 - mindestens einen ersten Addierer (314) zum Addieren des Ausgangssignals (330) des Proportionalpfads (320) mit dem Ausgangssignal (350) des Integralpfads (322)

aufweist,

wobei der Integralpfad (322)

- 20 -- mindestens ein zweites Proportionalglied (304) zum Multiplizieren des Ausgangssignals (330) des ersten Proportionalglieds (300) mit dem Proportionalbeiwert oder Proportionalfaktor (K_p),
- mindestens ein Integralglied (306) zum Multiplizieren des Ausgangssignals (340) des zweiten Proportionalglieds (304) mit einem Integralbeiwert oder
- 25 Integralfaktor (K_i) und
- mindestens einen zum Integrieren des Ausgangssignals (342) des Integralglieds (306) bestimmten Integrator (308, 310, 312)
- mit mindestens einem dritten Addierer (308) zum Addieren des Ausgangssignals (342) des Integralglieds (306) mit dem Ausgangssignal (58) des Frequenz-

- detektors (48) und mit dem rückgekoppelten Ausgangssignal (350) des Integrators (308, 310, 312),
- mit mindestens einem Integralwertbegrenzer (310) zum Begrenzen des Ausgangssignals (346) des dritten Addierers (308) sowie
- 5 --- mit mindestens einem Verzögerungsglied (312) aufweist.

6. Schaltungsanordnung gemäß mindestens einem der Ansprüche 1 bis 5, dadurch gekennzeichnet,

- 10 - dass das Ausgangssignal (360) des ersten Addierers (314) in Abhängigkeit vom jeweiligen Betriebsmodus (26) des Phasenregelkreises (40)
- entweder gemäß Anspruch 5
- oder durch Beaufschlagen des Integralpfads (322) mit dem Ausgangssignal (22) der Adaptiereinheit (14) bei gleichzeitigem Beaufschlagen des Proportionalpfads (320) mit mindestens einem verschwindenden Signal (332)
- 15 gebildet ist,
- dass dem ersten Addierer (314) mindestens ein Frequenzwertbegrenzer (316) zum Begrenzen der Frequenz des Ausgangssignals (360) des ersten Addierers (314) nachgeschaltet ist und
- 20 - dass dem Frequenzwertbegrenzer (316) mindestens ein zweiter Addierer (318) zum Addieren des Ausgangssignals (362) des Frequenzwertbegrenzers (316) mit mindestens einem nominalen Inkrementensignal (364) nachgeschaltet ist.

7. Verfahren zum Einrasten auf und/oder zum Verarbeiten von Daten, insbesondere

25 Audio-, T[ele]V[ision]- und/oder Videodaten, mittels mindestens eines Phasenregelkreises (40), wobei

- Phaseninformationen mittels mindestens eines Phasendetektors (44) erfasst werden, insbesondere nach Eintreffen mindestens einer ansteigenden Flanke und/oder abfallenden Flanke mindestens eines analogen Eingangssignals (50;

50'),

- mindestens ein Inkrement (24) mittels mindestens eines mit dem vom Phasendetektor (44) ausgegebenen Ausgangssignal (56) beaufschlagten Schleifenfilters (30) ermittelt wird und
- 5 - mindestens ein Rampenoszillator (46) mit dem vom Schleifenfilter (30) ausgegebenen Inkrement (24) beaufschlagt wird,
dadurch gekennzeichnet,
- dass der Phasenregelkreis (40) im wesentlichen digital ausgelegt wird, wobei das Eingangssignal (50; 50'), insbesondere die Phase des Eingangssignals (50; 50'),
10 mittels mindestens eines mit mindestens einem Systemtakt (52) beaufschlagten Zeit/Digital-Wandlers (42) digitalisiert werden kann,
- dass der Phasendetektor (44) mit dem Ausgangssignal (54), insbesondere mit den zusätzlichen Phaseninformationen, des Zeit/Digital-Wandlers (42) sowie mit mindestens einem ersten Ausgangssignal (62a), insbesondere mit mindestens
15 einem Statussignal, des Rampenoszillators (46) beaufschlagt wird und
- dass mindestens ein Frequenzdetektor (48) mit mindestens einem zweiten Ausgangssignal (64), insbesondere mit mindestens einem Überlaufimpuls, des Rampenoszillators (46) beaufschlagt wird und Frequenzinformationen (58) an
20 das insbesondere auch mindestens einer Frequenzregelschleife (10) zugeordnete Schleifenfilter (30) ausgibt.

8. Verfahren gemäß Anspruch 7,

dadurch gekennzeichnet,

- dass mindestens ein
 - 25 -- mit dem Inkrement (24) des Schleifenfilters (30),
 - mit dem ersten Ausgangssignal (62b) des Rampenoszillators (46) sowie
 - mit dem zweiten Ausgangssignal (64) des Rampenoszillators (46)
- beaufschlagter Teilereinheit (70), insbesondere Signalteiler, hieraus mindestens ein digitales Ausgangssignal (80), insbesondere die digitale Phase mindestens

- eines digitalen Ausgangssignals (80), ermittelt,
- dass mindestens ein mit dem zweiten Ausgangssignal (64) des Rampenoszillators (46) beaufschlagter Digital/Zeit-Wandler (72) das digitale Ausgangssignal (80) in mindestens ein analoges, insbesondere zeitabhängiges, Ausgangssignal (82; 82') umwandelt,
 - dass die Ausgangsfrequenz mittels mindestens eines dem Digital/Zeit-Wandler (72) nachgeschalteten analogen Phasenregelkreises (74) vervielfacht wird und
 - dass das Ausgangssignal (84) des analogen Phasenregelkreises (74) auf mindestens einen Frequenzgenerator (76), insbesondere auf mindestens einen Frequenzteiler, aufläuft, um mindestens ein Ausgangssignal (86a, 86b, 86c, 86d; 86a', 86b', 86c', 86d', 86e') der Schaltungsanordnung (100; 100') zu erzeugen.

9. Verfahren gemäß Anspruch 7 oder 8,
dadurch gekennzeichnet,

- 15 dass in der Frequenzregelschleife (10) mindestens eine mit dem vom Schleifenfilter (30) ausgegebenen Inkrement (24) beaufschlagte, zwischen mindestens einen Inkrementbaustein (12), insbesondere mindestens eine Inkrementserzeugungseinheit, und das Schleifenfilter (30) geschaltete Adaptiereinheit (14) mindestens einen adaptiven Algorithmus bereitstellt und mindestens ein Ausgangssignal (22) ausgibt.

20

10. Verwendung mindestens einer Schaltungsanordnung (100; 100') gemäß mindestens einem der Ansprüche 1 bis 6 und/oder eines Verfahrens gemäß mindestens einem der Ansprüche 7 bis 9

- in G[lobal]P[ositioning]S[ystem]-Systemen, zum Beispiel bei der Extraktion von G[lobal]P[ositioning]S[ystem]-Signalen aus mindestens einem G[lobal]P[ositioning]S[ystem]-Datenstrom;
- in Kommunikationssystemen, insbesondere in Audio-, T[ele]V[ision]- und Videosystemen, wie etwa in Soundprozessoren, in Stereodecodern, in Synthesizertunern und/oder in Videoprocessoren, zum Beispiel

25

- bei der Übertragung niederfrequenter Signale von Zusatzdiensten bei bestehenden Diensten, wie etwa in bezug auf Text im Sync[ronisations]signal mindestens eines Fernsehapparats, und/oder
- bei der Steuerung mindestens eines Fernsehapparats vom Sender, wie etwa in
5 bezug auf die Fernwirkung von Bildformat, von Lautstärke und/oder von dergleichen;
- in der Medizintechnik, zum Beispiel beim Aktivieren und/oder beim Steuern mindestens eines Herzschrittmachers;
- in der Messtechnik, zum Beispiel
- 10 -- bei Messungen der Geschwindigkeit mit Ultraschall und/oder
- bei Messungen der Entfernung mit Ultraschall und/oder
- beim Erzeugen von Signalen und/oder
- beim Analysieren von Signalen;
- in der Sprachverfremdung oder in der Sprachverwürfelung, zum Beispiel
- 15 -- beim Aufmodulieren von Sprache auf mindestens eine wechselnde Trägerfrequenz;
- in der Telemetrie, zum Beispiel
- beim Demodulieren der Phasenmodulation des Eingangssignals (50; 50') und/oder
- 20 -- bei einer Störfrequenzanalyse, das heißt beim Messen der Störphasenmodulation im Eingangssignal (50; 50').

ZUSAMMENFASSUNG

Schaltungsanordnung und Verfahren zum Einrasten auf und/oder zum Verarbeiten von Daten, insbesondere Audio-, T[ele]V[ision]- und/oder Videodaten

Um eine Schaltungsanordnung (100; 100') sowie ein Verfahren zum Einrasten auf
 5 und/oder zum Verarbeiten von Daten, insbesondere Audio-, T[ele]V[ision]- und/oder Videodaten, mittels mindestens eines Phasenregelkreises (40), wobei

- Phaseninformationen mittels mindestens eines Phasendetektors (44) erfasst werden, insbesondere nach Eintreffen mindestens einer ansteigenden Flanke und/oder abfallenden Flanke mindestens eines analogen Eingangssignals (50;
 10 50'),
 - mindestens ein Inkrement (24) mittels mindestens eines mit dem vom Phasendetektor (44) ausgegebenen Ausgangssignal (56) beaufschlagten Schleifenfilters (30) ermittelt wird und
 - mindestens ein Rampenoszillator (46) mit dem vom Schleifenfilter (30)
 15 ausgegebenen Inkrement (24) beaufschlagt wird,
- so weiterzubilden, dass unter anderem die Schaltungsanordnung (100; 100') sowie das Verfahren zum Betreiben derselben ohne weiteres an unterschiedliche Anforderungen anpassbar sind, wird vorgeschlagen,
- dass der Phasenregelkreis (40) im wesentlichen digital ausgelegt wird, wobei das
 20 Eingangssignal (50; 50'), insbesondere die Phase des Eingangssignals (50; 50'), mittels mindestens eines mit mindestens einem Systemtakt (52) beaufschlagten Zeit/Digital-Wandlers (42) digitalisiert werden kann,
 - dass der Phasendetektor (44) mit dem Ausgangssignal (54), insbesondere mit den zusätzlichen Phaseninformationen, des Zeit/Digital-Wandlers (42) sowie mit
 25 mindestens einem ersten Ausgangssignal (62a), insbesondere mit mindestens einem Statussignal, des Rampenoszillators (46) beaufschlagt wird und
 - dass mindestens ein Frequenzdetektor (48) mit mindestens einem zweiten
 30 Ausgangssignal (64), insbesondere mit mindestens einem Überlaufimpuls, des Rampenoszillators (46) beaufschlagt wird und Frequenzinformationen (58) an das insbesondere auch mindestens einer Frequenzregelschleife (10) zugeordnete Schleifenfilter (30) ausgibt.

Fig. 1

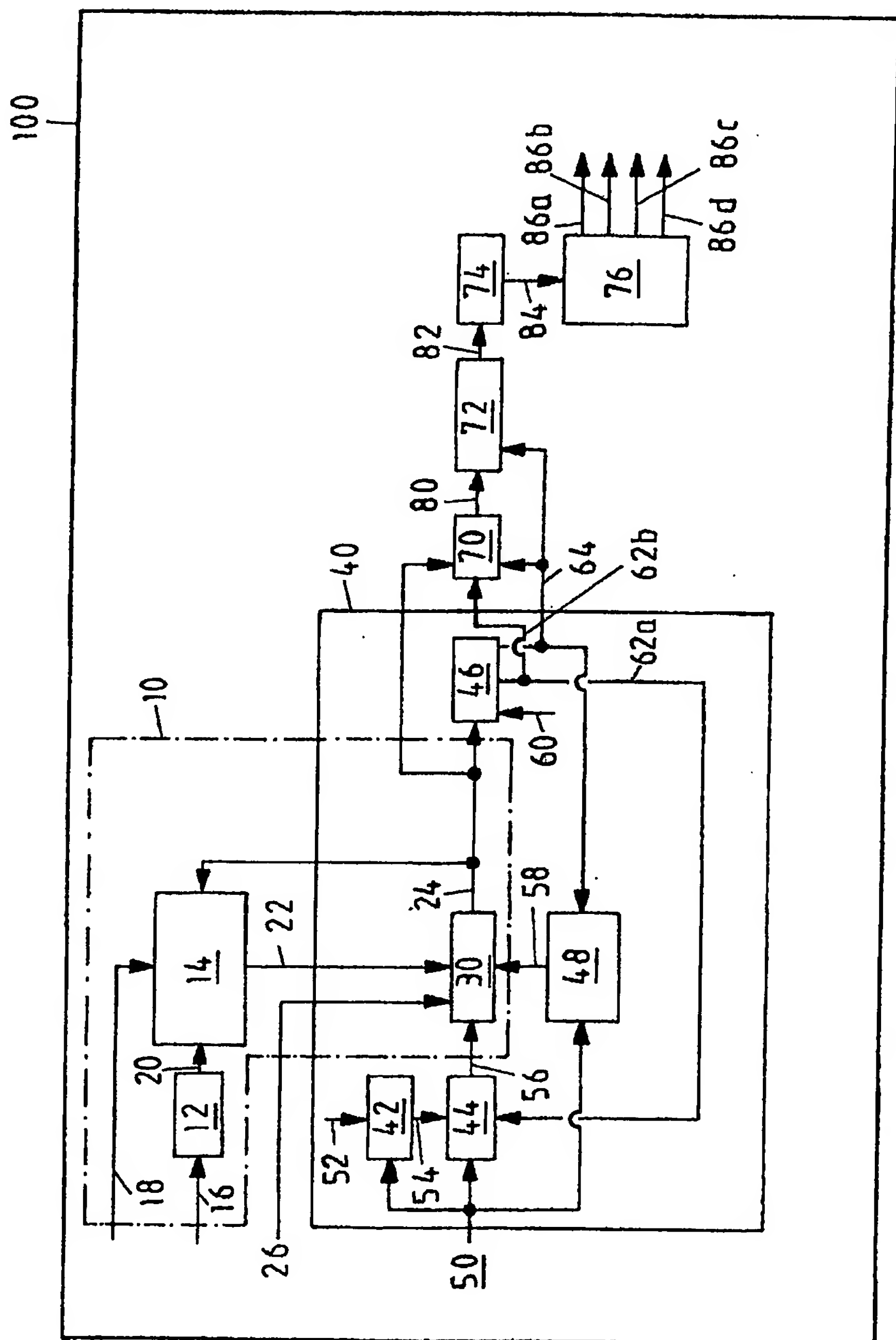


Fig. 1

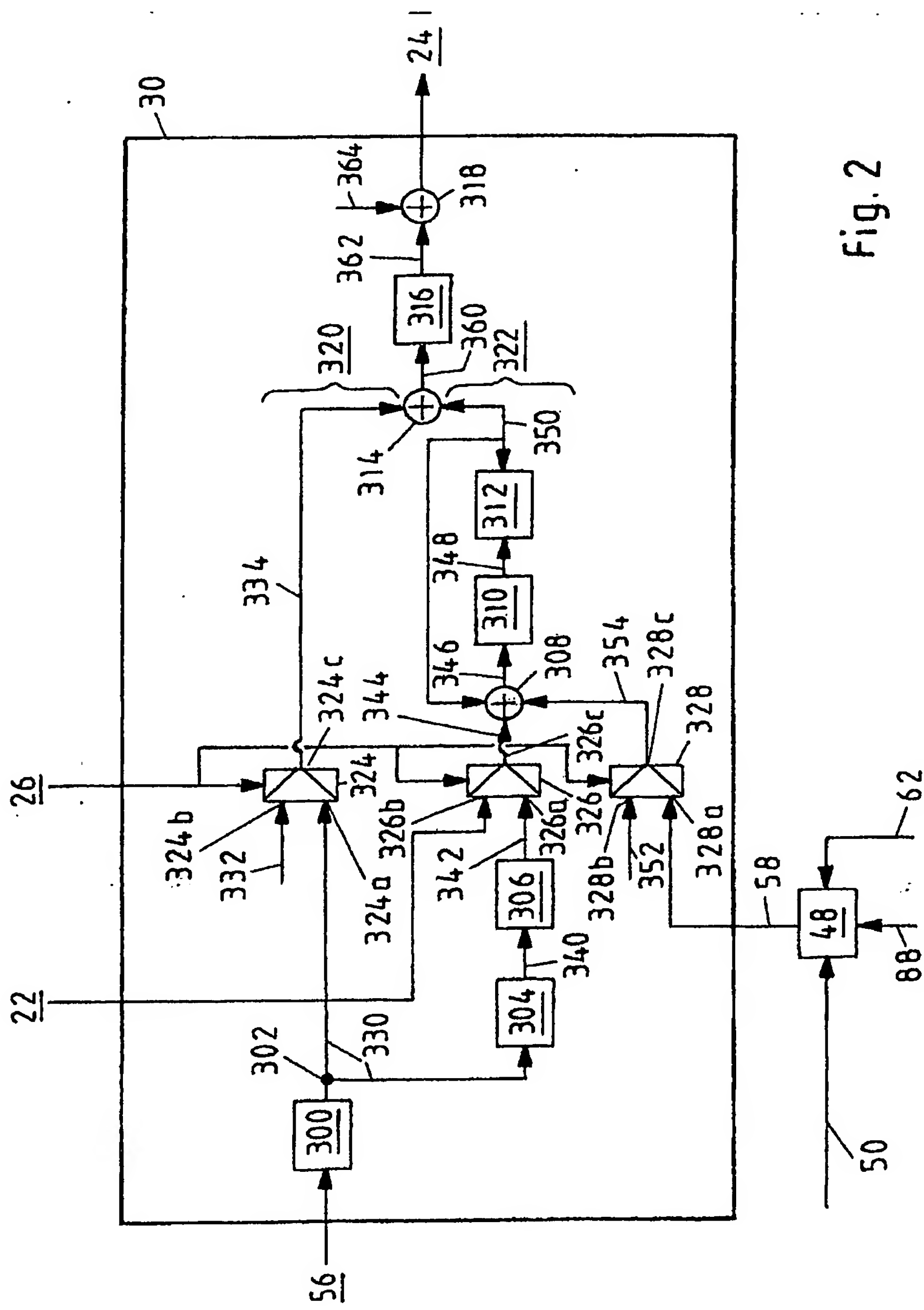


Fig. 2

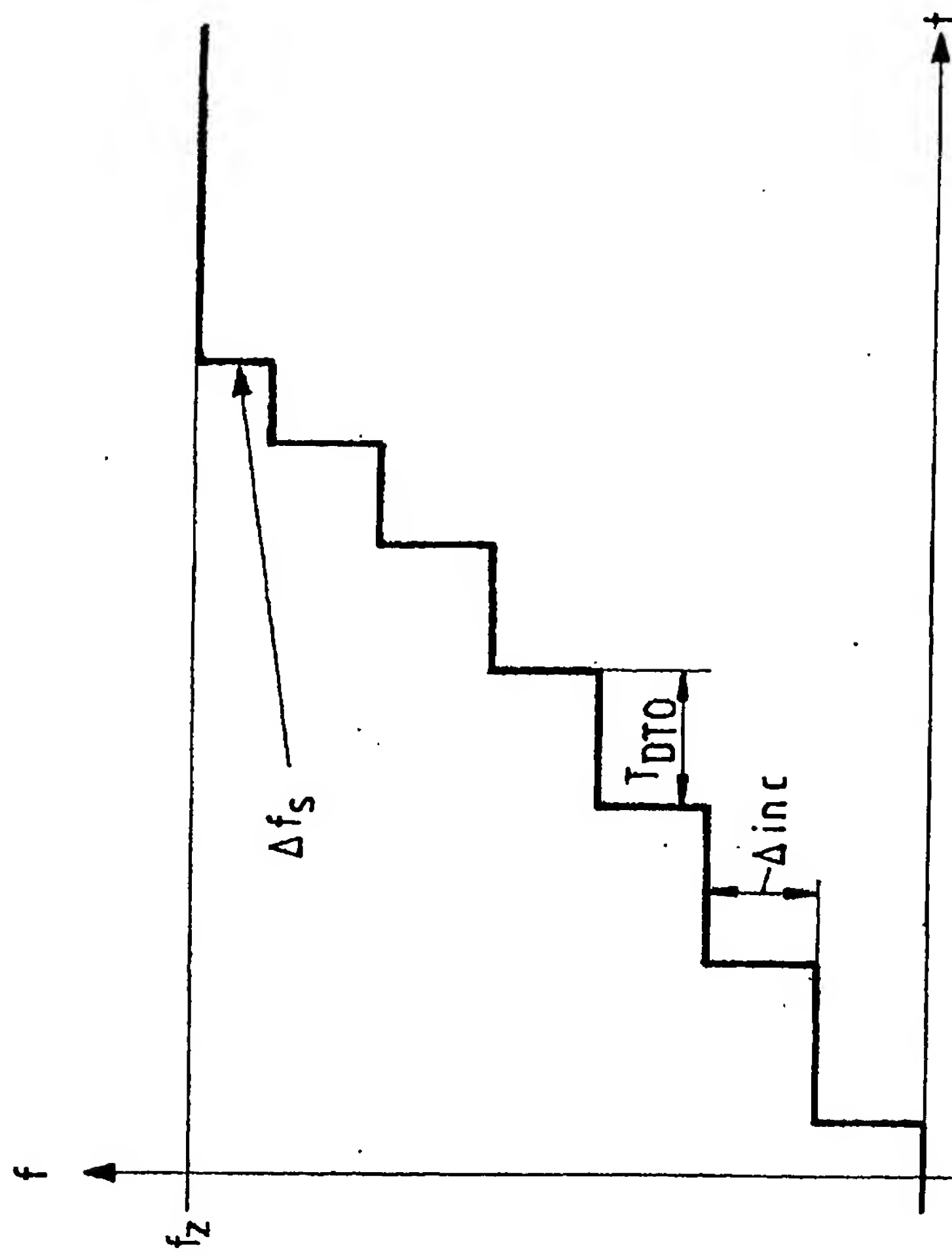


Fig. 3

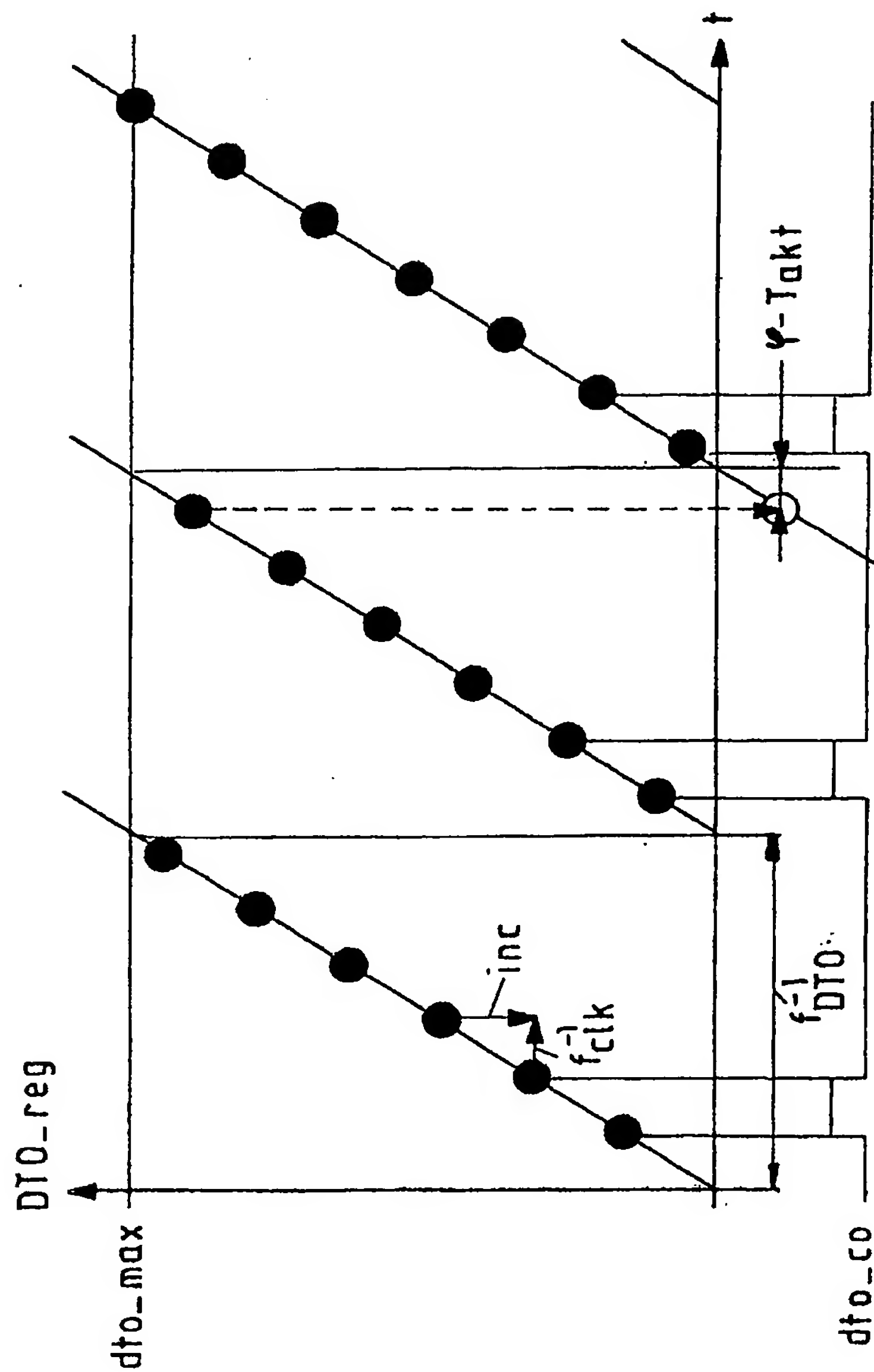
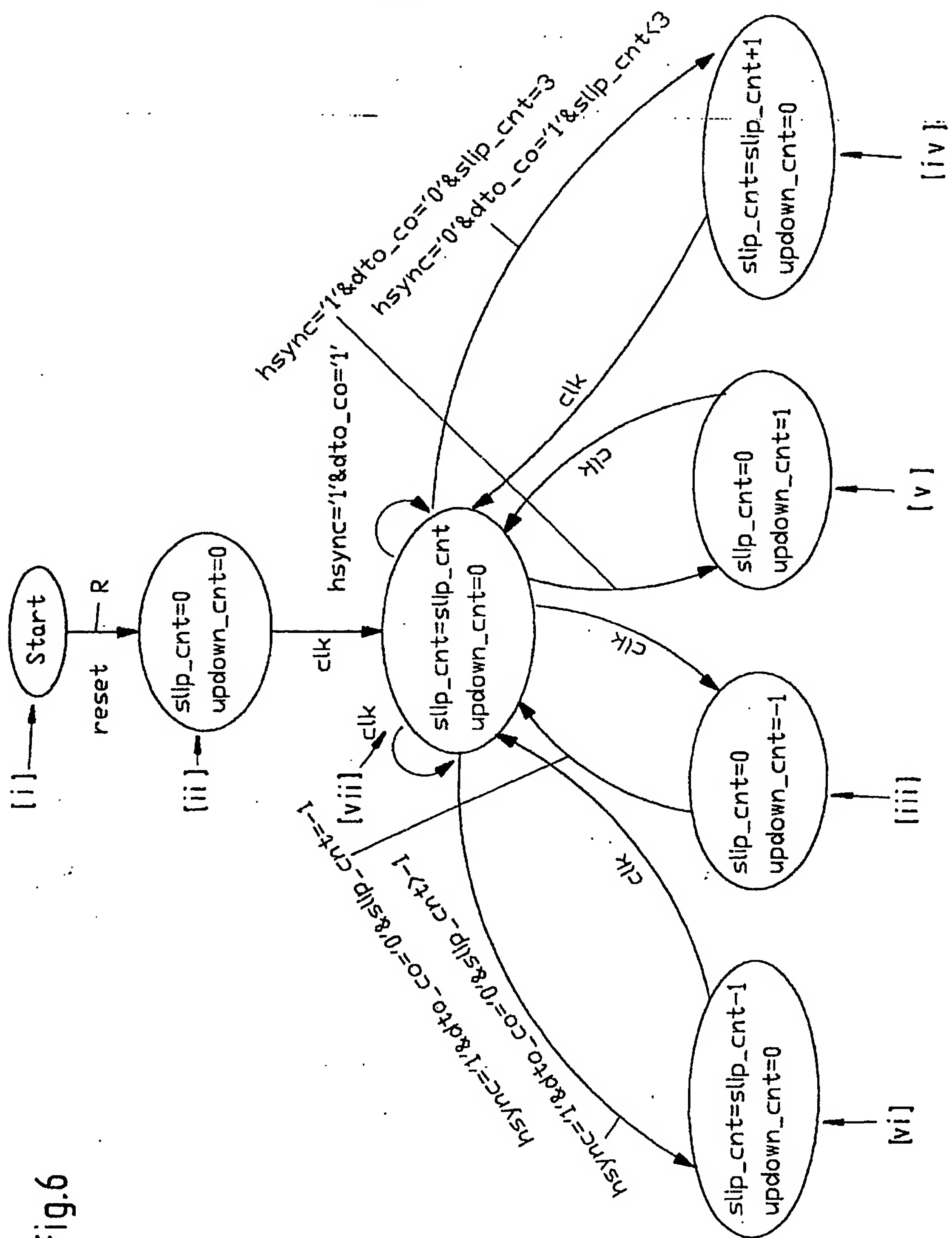


Fig.4



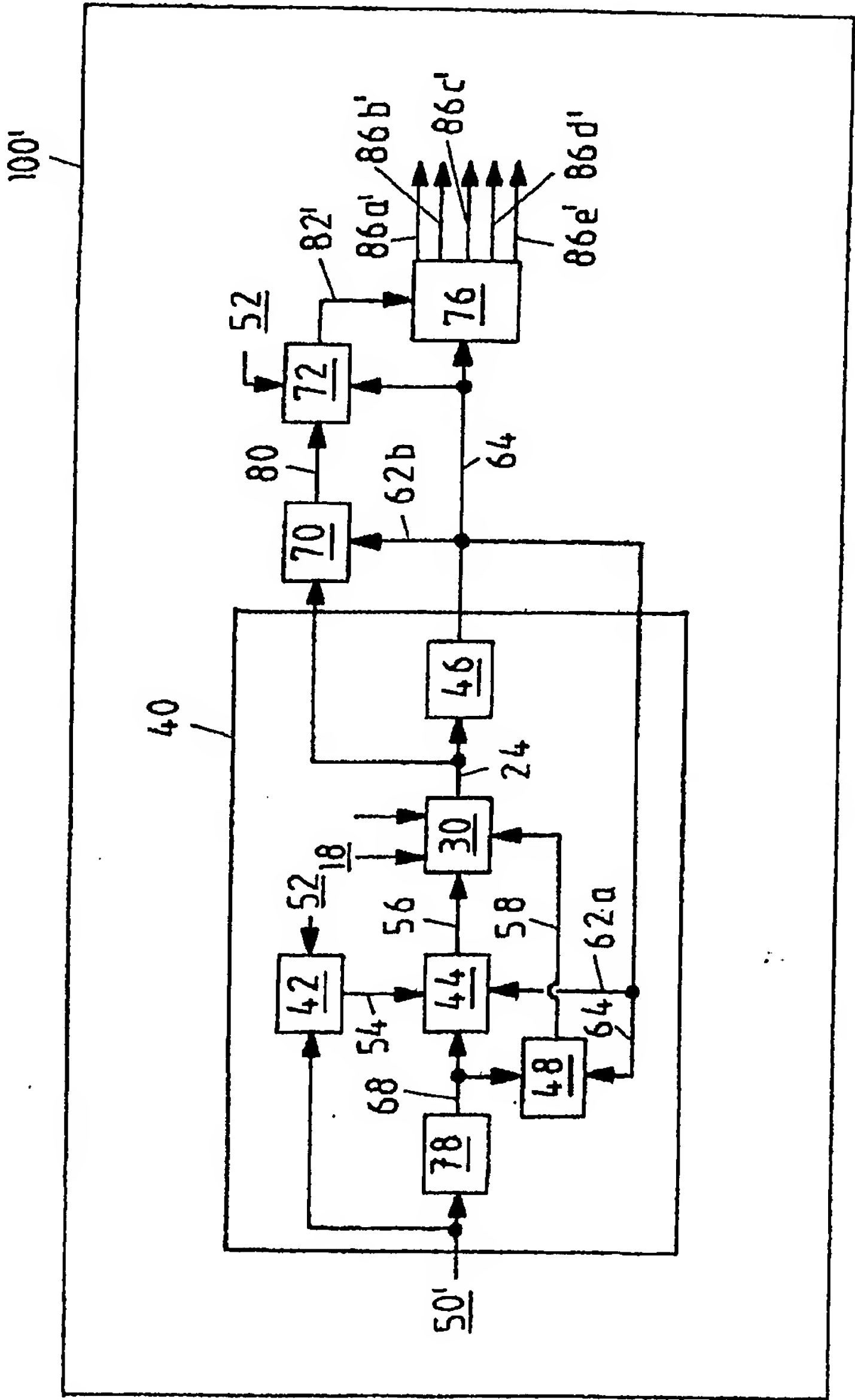


Fig.7

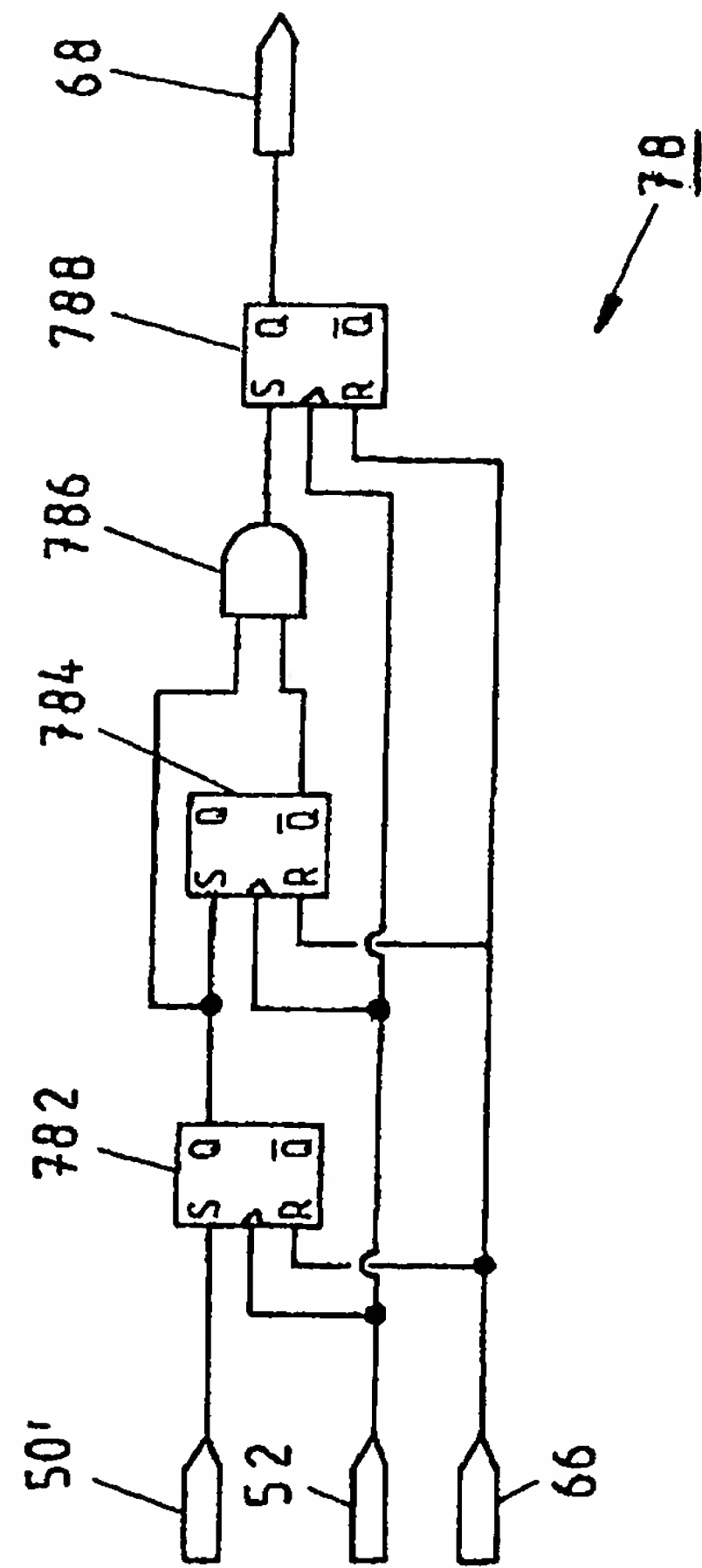


Fig. 8

PCT/IB2004/052671

